

# 数字示波器中海量存储的实现

陈鑫 高礼忠

(东南大学信息科学与工程学院 南京 210096)

**摘要:** 对于数字示波器,除了模拟带宽、实时采样率之外,存储深度也是一个重要技术指标。本文介绍了存储深度的提高对于数字示波器测量、调试信号的影响和意义,提出了采用 DDR2 SDRAM 作为海量存储介质的方案,并成功在 FPGA 上进行验证实现。

**关键词:** 数字示波器;海量存储深度;DDR2 SDRAM

**中图分类号:** TM935.37 **文献标识码:** A

## Implementation of long record length for DSO

Chen Xin Gao Lizhong

(School of Information Science and Engineering, Southeast University, Nanjing 210096)

**Abstract:** Besides analog bandwidth and real-time acquisition rate, record length is also one of the important parameters for DSO. In this paper, the benefits of improving the Record Length are introduced. Then it proposes a scheme of choosing the DDR2 SDRAM as the DSO deep memory. This scheme has been implemented and verified on FPGA successfully.

**Keywords:** DSO; long record length; DDR2 SDRAM

### 0 引言

在数字示波器中,存储深度是关键指标之一。尤其在日益复杂的硬件调试过程中,长存储深度的示波器为观测和调试带来许多便利。针对数字示波器应用背景,本文提出了一种实现海量存储的方案,并进行了 FPGA 验证。

### 1 长存储深度的意义

存储深度,通常也称为“记录长度”,是数字示波器连续采集、捕获一帧波形的最大长度。随着数字示波器的发展,示波器显示在屏幕上的信号波形可能只占整个连续采集一帧波形的一部分。传统的计算公式“记录长度=采样速率×扫速×10”已经不再适用。现代数字示波器记录长度的上限取决于数字示波器的存储器大小。

存储深度的大小决定了示波器在任意的采样速率设置下,能够连续采集信号的最大时长。例如:当存储深度为 10 MB 时,若实时采样速率设置为 100 Ms/s,则数字示波器能够连续捕获 100 ms;若实时采样率设置为 500 Ms/s,则数字示波器能够连续捕获 20 ms。实时采样率的提高,意味着可以观测到信号更多的细节;连续捕获时间的延长,则可以存储更多的信号波形。因此,当存储深度一定时,用户必须在连续捕获时间和实时采样率两个因素之间折衷。提高存储深度,则可以同时提高实时采样

率和连续捕获时间两项技术指标。

### 2 存储介质的选择

数字示波器中波形存储介质的选择,主要考虑数据传输率、存储容量以及单位成本等几个因素。首先,必须要保证连续采集一帧数据不中断,所以存储器的数据传输率必须大于前端 ADC 的数据吞吐量。在此基础上,兼顾存储容量和成本等因素。

DDR2 SDRAM 存储技术是 JEDEC 在 2005 年制定的内存技术标准,用于取代原来的 DDR SDRAM 技术,是当前业界主流的高速内存技术。虽然沿用 DDR SDRAM 在时钟上升沿/下降沿同时传输数据的方式,但其内部采用更为先进的四倍预取技术,使得数据传输速率 4 倍于内部总线速度。这意味着在内部 DRAM 工艺制程不变的情况下,外部总线可以采用更高的总线速度。相比于其它存储器,DDR2 SDRAM 具有速度高、容量大、价格低等优点。

目前市面上主流的 DDR2 SDRAM 模组(64 b)的主频可达到 400 MHz,其理论上的峰值传输率为  $400\text{M} \times 2 \times 64\text{b} = 6.4\text{GB/s}$ ,完全可以满足 4 通道,每通道实时采样率 1 GHz 的数字示波器的需求(前端 ADC 的最大数据吞吐量为  $1\text{GHz} \times 8\text{b} \times 4 = 4\text{GB/s}$ )。此外,相对其他高速存储器,DDR2 SDRAM 的价格便宜,一条 512 MB 的 DDR2 内存条价格仅一百多元人民币。综合考虑性价比,DDR2

SDRAM 是长存储数字示波器内存的理想选择。

DDR2 SDRAM 不同于普通的 SRAM 技术,其读写时序比较复杂,需要处理刷新、行列地址复用、换行时预充电、激活以及数据同步等一系列的问题,必须编写专门的 DDR2 SDRAM 控制器(以下简称 DDR2 控制器)。DDR2 控制器的作用在于屏蔽底层时序问题,为上层应用提供类似于操作 SRAM 一样的便利读写接口,即用户发出读/写命令和读/写地址,由 DDR2 控制器完成数据的存储和读取。

DDR2 控制器的实现并不是一件容易的事情。对此,许多 IP 公司提供 DDR2 控制器 IP 核授权,而硬件厂商如 Xilinx、Altera 等也都推出了针对各自 FPGA 平台的免费 IP 核生成工具。然而,这些 IP 核要么针对 CPU 的内存操作,功能过于复杂且费用不菲;要么只是一个简单的时序接口,并不适合数字示波器的内存控制。本文提出了一个适用于数字示波器的 DDR2 控制器的设计方案,并已成功在 FPGA 上实现验证。

### 3 DDR2 控制器的实现

采用 DDR2 SDRAM 作为数字示波器内存,整个系统采集存储部分的结构如图 1 所示。

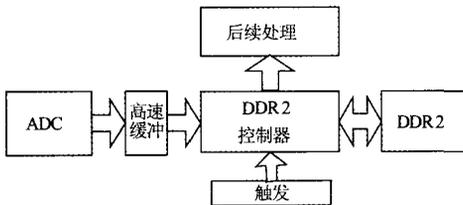


图 1 采用 DDR2 数字示波器的采集存储结构图

前端 ADC 采集的数据经过高速缓冲,送到 DDR2 控制器中,由 DDR2 控制器负责存取一帧数据。DDR2 控制器把需要显示和处理的数据送到数据缓存中,供后续显示、处理。

结合数字示波器的具体应用背景,可对 DDR2 控制器的功能作如下简化:

- (1) 模式寄存器只在上电初始化时配置一次,在 DDR2 控制器工作期间,时序参数、突发长度等参数固定不变。这样可以大大减少底层时序控制器所需要的状态数目,简化状态之间的跳转。
- (2) 不使用 DM(数据掩码)功能,数据读写任何时候均是 64 位宽。
- (3) 突发长度固定为 4 或者 8。

DDR2 控制器的结构可划分为 3 个模块:读写控制模块、用户接口模块和时序控制模块,如图 2 所示。

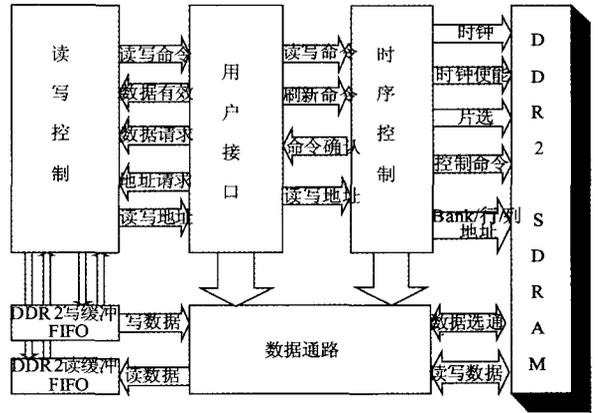


图 2 DDR2 控制器总体框图

读写控制模块:负责产生读写命令和读写地址。因为 DDR2 SDRAM 只有在连续读或连续写的情况下效率最高,因此,为了提高 DDR2 SDRAM 读写效率,每次 DDR2 SDRAM 读写的的数据都预先缓存到 FIFO 中。

在采集存储数据时,DDR2 控制器的状态转换如图 3 所示。

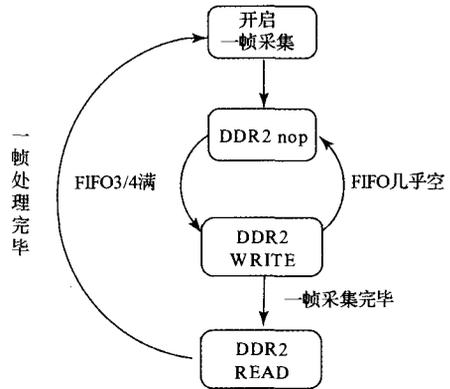


图 3 DDR2 读写状态图

首先开启一帧采集,进入“DDR2 NOP”状态,ADC 采集数据先缓冲到 FIFO 中;当 FIFO 变成四分之三满时,转到“DDR2 WRITE”状态,即读取 FIFO 数据写入往 DDR2 用户接口,同时 FIFO 写端口继续接受 ADC 采集数据;若 FIFO 被读空,则停止 DDR2 写操作,累积下一批数据。之所以选择 FIFO 四分之三满作为跳转标志位,是因为一旦 DDR2 刷新时间到,则无法对 DDR2 SDRAM 继续进行写操作。要保证刷新期间的数据不丢失,需要把采集数据继续缓存在 FIFO 中,因此,FIFO 中留有四分之一的缓冲空间。当一帧数采集完毕并存入 DDR2 SDRAM 后,转为“DDR2 READ”状态,从 DDR2 SDRAM 抽点、读取一屏数据,送后续电路进行显示、处理。

用户接口模块:负责接受来自读写控制器的读写命令,控制底层时序控制模块的读写操作,产生数据有效和

地址有效信号。只有在数据有效期间,用户数据才能和 DDR2 控制器交互。该模块还定时产生刷新命令,并提前对行列地址进行分解,判断是否要换行。

时序控制模块:直接和 DDR2 SDRAM 芯片或者模组连接,产生 DDR2 SDRAM 操作所需的信号,如刷新、换行、预充电以及 DQS 信号,并控制各信号的时序。

底层时序控制模块的简化状态机如图 4 所示:上电复位之后,控制器首先对 DDR2 SDRAM 进行初始化,主要完成片内 DLL 同步、DDR2 模式寄存器中的参数配置等工作;然后进入“接受命令”状态,接受来自用户接口的命令,包括读、写、刷新和空四种操作。若遇到刷新命令,则跳转“刷新”状态;遇到空操作,则停在该状态;若读写换行,则跳到“预充电”状态;当不需要换行时,根据读写命令分别跳转至“读”或“写”状态,完成一次突发读/写操作之后,再跳转回“接受命令”状态。

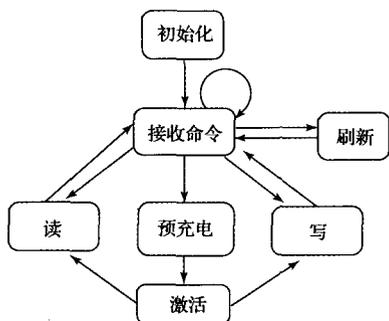


图 4 DDR2 底层时序状态图

通过以上 DDR2 控制器的设计,用户接口的操作简化为:写操作时,发出“写命令”,然后根据控制器发出的“数据请求”和“地址请求”信号,把对应“数据”和“地址”送给 DDR2 控制器;读操作时,发出“读命令”,然后根据控制器发出的“地址请求”信号,把“读取地址”送到 DDR2 控制器,再根据“数据有效”信号,把对应数据读出来。

#### 4 DDR2 控制器的 FPGA 实现

上述 DDR2 控制器的方案,已采用 Verilog HDL 在 FPGA 上实现。首先,利用 Mircon 公司的 DDR2 SDRAM 模型,在 modelsim 上进行了仿真验证。仿真无误后,再下载到 Xilinx Virtex-4 SX35 上实现。图 5 为采用 Xilinx Chipscope 工具捕捉到的控制器读取数据的部分信号波形图。

其中 ddr2\_clk 为控制器工作时钟,ddr2\_data 为读取的数据,ddr2\_we\_n 为写信号。控制器首先往 DDR2 SDRAM 写数据,写地址从 0 递增,写数据也从 0 递增。然后从 DDR2 SDRAM 读数据,读地址从 0 递增。图 5 中可看到从 DDR2 SDRAM 中读出的部分递增数据。该控制器的 ddr2\_clk 目前为 125 MHz,其峰值数据传输率可达 2 GB/s(125 MHz×2×64 b=2 GB/s)。

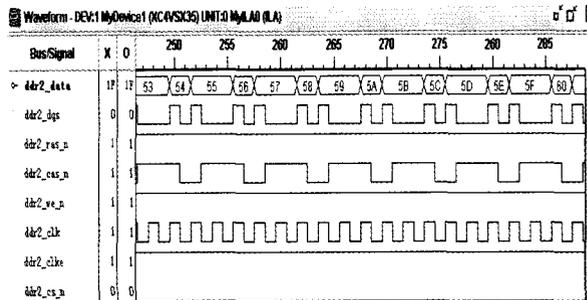


图 5 DDR2 控制器 Xilinx Chipscope 验证图

#### 5 结 论

数字示波器的海量内存,可为观测信号带来很多好处。针对实时采样率不超过 1 GHz 的数字示波器,采用 DDR2 SDRAM 作为长存储介质,是一个理想的选择。本文提供了一个切实可行的 DDR2 SDRAM 存取控制方案,并成功在 FPGA 上进行了验证实现。

#### 参 考 文 献

- [1] Deep Memory Oscilloscopes. The New Tools of Choice. Agilent Inc Application Note 1446[Z].
- [2] JEDEC STANDARD DDR2 SDRAM Specification JESD79-2B January 2005[Z].
- [3] MT47H64M8 datasheet[Z]. Micron Inc 2004.
- [4] Virtex-4 User Guide v1.5 Xilinx Inc[M]. 2006.
- [5] Successful DDR2 Design [M]. Xcell Journal First Quarter 2006.

#### 作 者 简 介



陈鑫,男,1983 年出生,东南大学无线电工程在读硕士生,主要研究方向为电子测量、无线自定位算法,现从事数字示波器产品的研发。



高礼忠,东南大学无线电工程系副教授,主要研究方向为数据采集与处理、嵌入式系统开发与应用技术、电子测量技术。