

# 基于FPGA的数字存储示波器

周德新,王 鹏,范守正,朱鸿林

(中国民用航空学院 机电工程学院,天津 300300)

**摘要:**基于FPGA的数字存储示波器,以可编程逻辑器件 ACEX1K30TC144-3 和 89c51 单片机为核心,由通道输入调整、数据采集、数据处理、波形显示和操作面板等功能模块组成。系统中的数据采集及数据处理模块,采用了FPGA内制的RAM IP核,使系统的工作频率基本不受外围器件影响,经maxplusII延时分析,其内核频率可以达到40 MHz以上,这对于数据处理速度和实时性要求比较高的应用领域具有重要的意义。

**关键词:**数字存储示波器;单片机;可编程逻辑器件;FPGA

**中图分类号:**TN919.5 **文献标识码:**B

## 0 引言

高速数字化采样技术和DSP及FPGA技术的发展已经开始对传统测试仪器,包括现有的数字化仪器发展产生着深刻的影响,对传统仪器体系结构,包括传统测量方法、传统仪器的定义和分类等,都将产生深刻的变革<sup>[1]</sup>。近几年来,独立仪器通常采用DSP或FPGA结构。从信息处理技术的发展上看,以FPGA为基础的软件硬件化是其重要的发展方向。本文设计的数字存储示波器,是由单片机和FPGA相结合的方式组成<sup>[2]</sup>。即用单片机完成人机界面、系统控制,用FPGA完成数据采集、数据处理等功能。

## 1 系统结构及功能设计

系统的总体框图如图1所示。系统中的核心器件89c51单片机和可编程逻辑器件作为数据处理及控制的核心,框图中的虚线部分是现场可编程门阵列(FPGA)ACEX1K30TC144-3。作为数据处理

的核心部件FPGA主要完成采样频率控制,高速的模数、数模转换,数据存储及输出显示控制等。

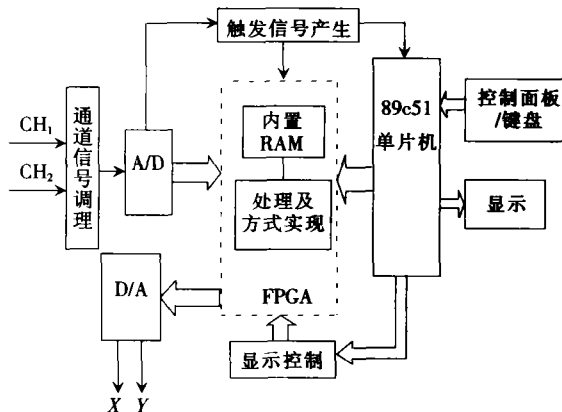


图1 系统总体结构图

其中:在数据采集模块设计中,采用高速的模数转换器TLC5510,其转换速度可以达到20 Mb/s,并且直接用FPGA控制采样进程;数据存储功能的设计,采用FPGA内部嵌入式双口RAM的IP核,ACEX1K30内部可形成3 kb的RAM,完全满足一般存储深度的要求<sup>[3]</sup>。采用这种模式,减免了外部干扰,布线的复杂性,而且不受RAM速度的限制;双踪输入功能的实现,用一片模数转换器、一

收稿日期:2003-09-05;修回日期:2003-12-09

基金项目:中国民航学院科研资助项目(2121106-24)。

作者简介:周德新(1954-),女,辽宁抚顺人,副教授,硕士,研究方向为智能检测、智能控制。

套 RAM 和一片数模转换器,以高速率切换高速电子开关 74 HC4051(速度可达 50 Mb/s)分别选通两路信号,数据存储在 RAM 的奇、偶地址位<sup>[4]</sup>。双踪显示时,先扫描奇数位地址的数据,再扫描偶数位的地址;幅度控制模块采用程控放大器 PGA103 实现信号的放大,通过其控制管脚的逻辑状态,改变放大倍数。满足每档增加 10 倍的要求,而且精度较高,控制也很方便。同时,为保证足够大的输入阻抗,输入级加入一级同相跟随器,输入阻抗达到 MΩ 级。

## 2 系统软件设计

### 2.1 基于 FPGA 的程序设计

采集存储逻辑电路的作用是将 A/D 变换后的数据写入内置 RAM 中,其控制逻辑包括接口、功能控制模块、采集存储控制模块及输出显示模块等。基于 FPGA 的顶层逻辑设计原理图如图 2 所示。图中主要集成了 4 个功能模块:数据采集 A/D 变换控制模块(AD5510),功能控制模块(CTRL\_DIV),读写控制模块(W\_R),双口 RAM 控制模块(RAM)。

外围接口键控功能为:RESET 为系统复位键;CLR 为重新采集信号,此键不影响对采样信号频率的记忆功能;SHIFTR、SHIFTL 为控制输出地址键,可以通过控制此键在示波器窗口中显示所有内存中的波数据;PLVM 为采样频率/扫描频率调控键,通过它的切换,可以使其达到最优采样及显

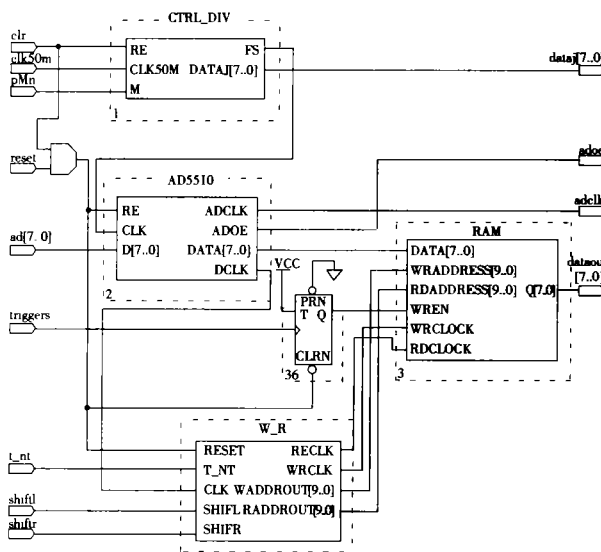


图 2 顶层逻辑设计原理图

示,且在内部记忆输入频率,经可控分频计调控,在输出时,保证输出采样波形频率不变(为原始频率);T\_NT 为“1”时,系统工作在实时同步触发采集模式,存储及显示为实时采集存储的数据,为“0”时,系统工作做单次采集模式,存储及显示为单次采集的数据;triggers 为硬件的触发信号。为完成数据存储功能,对一些子模块功能的处理如下。

#### 2.1.1 功能控制模块

1)可控分频器:它的作用是提供采样时钟,其分频比由单片机提供的控制信号查表得出,然后转化为对应的计数量值,输出频率对应的存储及读取时钟,及显示 X 轴所需的对应频率的锯齿波。仿真波形如图 3 所示。

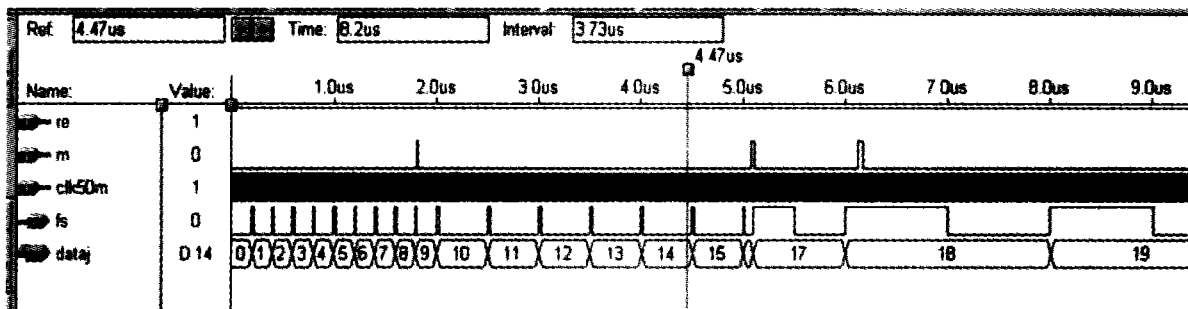


图 3 仿真波形

2)可控计数器:采集数据时,地址计数器在采样时钟同步下计数,为两路信号的存储提供相应地址。同时,采样时钟也作为 A/D 芯片的读信号和 RAM 的写信号。最低位作为两路信号的选择模

拟开关的选通信号,这样 2 个信号的数据分别存入奇地址和偶地址。其中可控计数器还向单片机提供了两个地址调整的输入端口。单片机通过此端口可以实现 RAM 读地址前移和后移。从而使所有

存储的信号数据都可以通过键盘控制任意显示在示波器上。

读地址位移

$$\begin{aligned} trueAddr = & \\ \left\{ \begin{array}{l} dynamicAddr + \Delta Addr - H \quad (trueAddr \geq H) \\ dynamicAddr + \Delta Addr \quad (trueAddr < H) \end{array} \right. & (1) \end{aligned}$$

式中:  $H$  为存储深度;  $trueAddr$  为实际地址;  $dynamicAddr$  为动态循环地址;  $\Delta Addr$  为键控跳变量。

3) 时钟选择器: 在单片机的控制下, 通过与可控分频器的配合, 产生需要的扫描频率, 从而得到适合于当前信号的采样频率。频率计算公式为

$$f_s \geq \frac{1}{T_s} \quad (2)$$

其中:  $T_s = \frac{T_c}{H}$ ,  $T_c$  为被测信号的周期;  $H$  为存储深度。

### 2.1.2 显示控制模块

显示采用示波器的  $X-Y$  方式。在  $X-Y$  方式下, 示波器垂直轴、水平轴的偏转电压均由外部提供。因此只要提供数据和相应的坐标数据。经 D/A 转换送至  $X, Y$  轴即可。在显示允许期间, 地址计数器以固定的频率循环计数, RAM 的读信号与显示时钟同步。若想实现两路的同步显示, 只需将 RAM 中的奇偶数据一起扫出, 则两路信号相叠加显示出来<sup>[9]</sup>。

1) 显示的垂直位移调节电路, 将数据 D/A 后的模拟量附加一可调的直流分量, 来实现波形  $Y$  轴的垂直位移。

2) 显示的水平位移调节电路, 将坐标锯齿波数据 D/A 后的模拟量加一可调的直流分量, 来实现波形不变的水平位移。

## 2.2 系统软件主程序设计

本系统软件主程序流程图如图 4 所示。便于编排以及增加其他功能扩展模块。可以实现在基本硬件不改变的情况下, 对主系统升级。尤其采用了 FPGA, 更可实现在线的编程、下载及调试。

## 3 结语

数字技术的发展将使检测设备的传统体系结构发生深刻的变革, FPGA 是最新发展的可编程逻

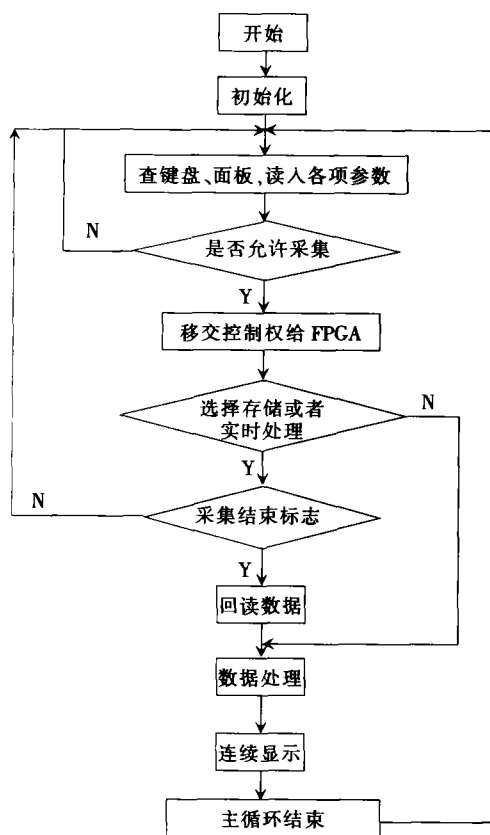


图 4 系统软件主程序流程图

辑器件。FPGA 技术的发展与应用为把握这种机遇提供了良好的硬件支持<sup>[6]</sup>。本文基于 FPGA 数字存储示波器的设计, 就是对 FPGA 应用技术的一种尝试。独立仪器通常采用 DSP 或 FPGA 结构。从信息处理技术的发展上看, 以 FPGA 为基础的软件硬件化是其重要的发展方向。

### 参考文献:

- [1] 赵典峰. PLD 推动系统设计进行 SOPC 新纪元[J]. 电子产品世界, 2000, (6): 15—16.
- [2] 潘 松, 黄继业. EDA 技术实用教程[M]. 北京: 科学出版社, 2002.
- [3] 潘新明, 王艳芳. 微型计算机控制技术[M]. 北京: 电子工业出版社, 2000.
- [4] 徐惠明, 安德宁. 数字逻辑设计与 VHDL 描述[M]. 北京: 机械工业出版社, 2002.
- [5] 杨之廉, 申 明. 超大规模集成电路设计方法导论[M]. 北京: 清华大学出版社, 1999.
- [6] Stephe B, Zvonko V. Fundamentals of Digital Logic with VHDL Design[M]. USA: McGraw-Hill Education, 1999.

## Digital Memory Oscillograph Based on FPGA

ZHOU De-xin, WANG Peng, FAN Shou-zheng, ZHU Hong-lin

(College of Air Traffic Management, CAUC, Tianjin 300300, China)

**Abstract:** A kind of memory saving oscillograph based on FPGA could be programmed convertibly into a logic device as a core of ACEX1K30TC144-3 and 89c51 single slice. It consists of path input adjusting, data collecting, wave-form displaying, a front panel as well as a functional modular. FPGA interior core of RAMP is adopted for data collecting and processing modular in the system to an ideal exclusion of disturbance out of irrelevant frequency from alien. Through MAXPLIS II time-delayed analysis, its frequency of the core could be seen as high as 40 MHz or above, which is significant to applications with high expectation to a treatment-speed and to a treatment timing.

**Key words:** digital memory oscillograph; chip microcomputer; programmable logic device; FPGA

(责任编辑:杨媛媛)

(上接第 24 页)

- [4] Nichols H M C, Berrand C B, David M H. Remote instrument diagnosis on the internet[J]. *IEEE Intelligent System*, 2002, (5): 70—76.
- [5] 赵新灿, 左洪福, 陈果. 虚拟仪器技术在远程故障诊断中的应用[J]. *应用基础与工程科学学报*, 2000, 9(2,3), 266—270.
- [6] 陈世福. 人工智能与知识工程[M]. 南京: 南京大学出版社, 2002.
- [7] 蒋浩天. 工业系统的故障检测与诊断[M]. 北京: 机械工业出版社, 2003.

## Research on Design of Intelligent Fault Diagnosis System of Airplane Electronic System

LUO Yun-lin, LUO Hong

(College of Aeronautical Mechanics & Avionics Engineering, CAUC, Tianjin 300300, China)

**Abstract:** It discusses a key issue on establishing a system to diagnose on-board intelligent electron-equipment, and based on a possibility of the modern wireless communication network, it proposes a general structure of the predicable diagnose system and a program to solve it. It also discusses in a down to earth way some key technological aspects, in particular, a protocol for wireless communications, an expert system to predicate and diagnose on-board electron-equipment, which may serve as a base a later phase development of the system.

**Key words:** intelligent fault forecast; fault diagnosis; wireless communication; neural netoork Kalman filter

(责任编辑:李侃)