

# 基于 DSP+FPGA 结构的嵌入式便携数字存储示波表

阎波,李广军

(电子科技大学 通信与信息工程学院,成都 610054)

摘要:提出了一种便携式数字存储示波表的设计方案,充分利用微控制器技术和 ASIC 技术实现了嵌入式实时处理,很好地达到了体积小、重量轻、功能强、可靠性高的要求。

关键词:便携式数字存储示波表;数字信号处理器;现场可编程门阵列;嵌入式设计

中图分类号:TM935 文献标识码:A 文章编号:1001-1390(2005)11-0031-03

## A Design of Embedded Portable Digital Storage Oscilloscope Based on the Technique of DSP Plus FPGA

YAN Bo, LI Guang-jun

(The Institute of Communication & Information Engineering, University of Electronic Science & Technology of China, ChengDu 610054, China)

**Abstract:** A design of digital oscilloscope is discussed in this paper. The embedded real-time processing of measurement is realized by the well-connected design of micro controller and ASIC. With this design of embedding, our oscilloscope can achieve features of low volume, portability, full function and high reliability.

**Key words:** portable storage digital oscilloscope; DSP; FPGA; embedding design

### 0 引言

随着大规模集成电路技术、信号分析与处理技术及计算机软件技术的迅速发展,现代电子测量技术与仪器领域也在不断探讨新的仪器结构和新的测试理论及方法。集数字存储示波器、数字万用表、频率计三者功能于一体的便携式数字存储示波表正代表了当代电子测量仪器发展的一种新趋势。便携式数字存储示波表具有体积小、重量轻、成本低、不需交流供电、可靠性高、使用简便等一系列特性,非常适合于使用在有电源、空间、运输等条件限制的环境下。

便携式数字存储示波表集 A/D 技术、ASIC 技术、DSP 技术、LCD 显示技术于一体,具有极高的技术含量、很强的实用性和巨大的市场潜力。目前国外已有较成熟的产品,而国内在该领域的研究尚属起步阶段。本文所述方案采用嵌入式设计技术,成功地实现了对被测信号的实时处理与分析。

### 1 便携式数字存储示波表的硬件设计思想

#### 1.1 硬件系统结构设计

便携式数字存储示波表硬件上主要包括模拟通道、数据采样、数据处理、显示控制等模块。图 1 所示

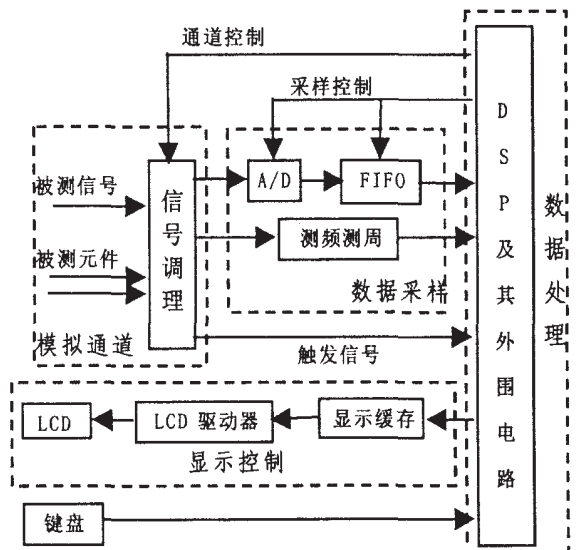


图 1 以 DSP 为核心的数字示波表硬件结构框图

为一种传统的以微控制器(DSP)为核心的示波表结构设计方案。该方案的缺点是:系统只能将 DSP 做为核心控制器件,造成 DSP 任务繁重、接口复杂。

为解决上述问题,本文采用了基于 DSP+FPGA 结构的嵌入式设计方案,如图 2 所示。其中 FPGA 主要



数形式提供),如硬件初始化代码、DSP 中断服务代码(FIFO 送来的读中断及显示数据刷新定时中断)基本显示模式(点、线、字符、汉字、栅格等)代码、DSP 写显存代码、DSP 读 FIFO 代码以及 DSP 对其它端口的访问代码等等;

(2) 内核层:根据当前测试需要调用不同功能模块以协调完成测试任务,可调用的模块包括通道控制模块、采样时钟控制模块、时基/幅基调整模块、显示数据处理模块、波形数据处理模块(包括插值子模块、信号参数计算子模块、频谱分析子模块等等);

(3) 用户界面层:包括键语分析及键值散转模块、菜单显示模块;

为提供良好的人机界面,并组织协调完成众多的测量任务,本系统中软件工作量比较大、软件功能比较复杂。采用这样的层次模块结构后,只要各模块(函数)接口定义得清晰明确并具有一定的通用性,就可以建立良好的软件系统框架,使得软件的更新和维护非常方便。

2.2 软件流程设计

图 4 所示为本示波表软件工作流程,主要包括三部分:

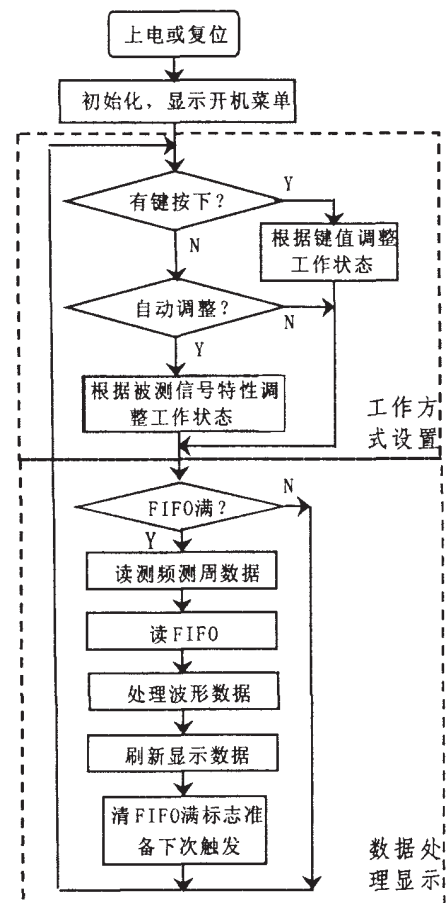


图 4 数字示波表软件工作流程图

(1) 初始化模块:包括 DSP 片内寄存器初始化、DSP 片外外围器件初始化、示波表测试条件初始化、全局消息变量初始化及显示缓冲初始化等。

(2) 工作方式设定模块:如需要,程序将根据用户按键输入状态设置(Manual 工作方式)或根据被测信号的变化自动调整(Auto

工作方式)示波表当前工作方式——包括通道控制、采样时钟控制、时基/幅基调整及对 FPGA 内控制字的更新等。

(3) 信号数据的处理及显示模块:读入本次触发后采集的波形数据(包括测频测周数据),并对波形数据进行处理——包括插值处理、频谱分析、信号参数计算、显示数据映射处理等。

3 系统性能

本设计采用了 Motorola 公司的 16 位嵌入式 DSP (56805)和 Xilinx 公司的 FPGA(XC2S50)来实现,系统整合后已经验证,达到以下指标:

- (1) 模拟带宽 10MHz, 单次带宽 5MHz;
- (2) 最高取样率 40MS/s;
- (3) 水平扫描时基 50ns/div~10s/div, 垂直扫描幅基 5mV/div~5V/div;
- (4) 可测信号参数:频率、周期、平均值、有效值、峰峰值等;

目前系统中的 DSP 和 FPGA 资源都还留有较大富余量,极有利于系统的进一步改造、升级。

4 结论

在实时信号处理系统中,通常底层的信号预处理算法处理的数据量大,对处理速度的要求高,但运算结构相对比较简单,适于用硬件实现;而高层处理算法的特点是数据量较少,但算法的控制结构复杂,适于用运算速度高、寻址方式灵活、通信机制强大的 DSP 芯片来实现。本设计因此采用 DSP+FPGA 结构同时兼顾速度及灵活性,其中底层 FPGA 硬件完成数据采样、信号频率/周期测量以及波形显示控制等功能,而上层 DSP 软件则负责实现数据编码、波形恢复计算及人机界面的处理。

随着测试技术的进一步发展,便携式仪器的市场前景越来越广阔,本设计基于 DSP+FPGA 的嵌入式系统结构的研制成功,有效地减小了体积,降低了功耗,增强了可靠性,为国产数字示波表的进一步研制和开发做出了有效的尝试,并且对其它数字仪器仪表的小型化设计也具有一定的指导意义。

参 考 文 献

[1] 李广军,孟宪元.可编程 ASIC 设计及应用(第二版)[M]. 成都电子科技大学出版社,2003.  
 [2] 蒋焕文,孙 续.电子测量(第二版)[M]. 中国计量出版社,1988.  
 [3] Jean J.Labrosse. Embedded System Building Blocks[M], 2002.  
 作者简介:  
 阎 波(1973-),女,硕士,讲师。主要研究方向为微机系统、嵌入式系统及可编程 ASIC 设计等。

收稿日期:2005-08-18

(丘 源 编发)