

●应用与设计

基于 Cygnal - C8051F000 复合式信号处理器 的数字存储示波器

山东师范大学传播学院 魏永红 赵捷 谭金波

Digital Storage Scope Using Cygnal - C8051F000 Mixed Signal Processor

Wei Yonghong Zhao Jie Tan Jinbo

摘要:探讨了 Cygnal 公司的复合式信号处理器 C8051F000 与计算机进行整合的系统应用,给出了用 C8051F000 微处理器作可编程模拟前端,而用计算机充当存储和显示单元的数字存储示波器 (DSS) 的电路原理图和汇编源程序。

关键词:C8051F000; DSS; A/D 转换器

分类号:TM935.39

文献标识码:B

文章编号:1006-6977(2003)02-0026-03

1 系统简介

功能强大的 Cygnal C8051F000 复合式信号处理器内含一个强大的模拟转换前端,可满足 100kHz 的数据采样。虽然 C8051F000 无权访问外部存储器,但其片内的 UART 可工作在高达 115200baud 波特率的情况下,它能以 5000sps 的速率采集数据并持续地传送给计算机,然后通过计算机实时存储或显示采样值。一个完整的存储系统应当包括:模拟前端、转换控制与数据传输、存储与显示等几个子系统。

1.1 模拟前端

C8051F000 包含一个完善的可编程模拟前端。该模拟前端由 8 通道模拟多路器、可编程的增益放大器、12 位 A/D 转换器以及隐性齐纳基准电压等组成。其中 8 通道模拟多路器可用软件编程为 4 通道的差分输入或 8 通道的单端输入工作方式。当多路器输入端是桥接电路(如压力传感器、变形测量器)和热力偶时,差分配置很有用。当多路器的输出提供给可编程增益放大器 (PGA) 后,PGA 将接受差分输入并产生一个单端输出。在测量过程中,PGA 的增益可变,其值可设置为 0.5、1、2、4、8 或 16。

PGA 可以将输出提供给一个转换速率最大为 100k 的 12 位 A/D 转换器。此转换器的转换速率可以由软件来控制,A/D 转换周期可由定时器 0、定时器 3、外部信号或内部软件(依转换需求)来控制。本应用中用定时器 3 来控制 A/D 转换周期,这种方式允许以固定的速率采样信号。隐性齐纳基准电压的

典型值为 30ppm/°C,最大值为 200 ppm/°C,这对于一个 12 位设备已经足够了。

1.2 转换控制与数据传输

定时器 3 是 16 位计数器/定时器,常被设置为自动重载方式。当计数器从 FFFF 变化到 0000 溢出时,它将产生一个脉冲。每次定时器 3 溢出时,重载寄存器中的值将被重新载入定时器 3,并开始新的计数周期。重载值范围为 0000~FFFF,因而计数周期范围可从 10000 到 1 个时钟周期。由于定时器 3 的时钟源既可为系统时钟,也可以是系统时钟的 12 分频,因此可扩展定时器的周期范围。

当 A/D 转换完成后,从 A/D 输出寄存器读取的 16 位数据将通过串行口传输到远程计算机上。在外部晶振频率为 11.0592MHz 时,该串口可以 115200 的高波特率运行。按照这个速率,每秒可传输大约 10000 字节。而把二进制数转换为 ASCII 码来传输会将传输时间增加 1 倍,从而使 A/D 净转换率减少 50%,因此为了尽可能保持最大转换率,应将原始的二进制数传输给远程的计算机。即使在片内有 UART,由于它与外部引脚的物理连接受 I/O 端口交叉开关译码器的控制,设计时也应将该译码器通过交叉开关寄存器进行配置。

1.3 存储与显示

当运行在计算机上的可视化程序与 DSS 系统进行通信时,通过软件可完全控制数字存储功能的操作,以接受用户的输入和发送配置 C8051F000 微控制器的 A/D 转换器命令。配置 A/D 完成后,系统

将发送开始转换命令并准备接收来自前端的数据。接收到的数据可存储到一个文件中，也可被实时地显示。如果所有的数据都是先存储后显示，则将获得更好的适应性。该软件可以接受用户如下输入：

- 模拟通道号；
- 单端或差分通道配置；
- PGA 增益；
- 采样频率(kHz)；
- 采样数；
- 存储数据的文件名。

在输入的数据被发送到 DSS 系统后，系统即可进行 ADC 的配置，同时把转换结果传输到计算机上。每次转换完成后，系统都将给用户如下的选择：

- 显示一个已存储的数据文件；
- 接受新的转换；
- 终止当前程序。

2 DSS 系统设计

2.1 硬件组成

图 1 为数字存储示波器(DSS)的电路原理图，从图中可以看出，该系统的核心部分由 C8051F000 微控制器、RS - 232 接口集成电路和稳压器组成。

2.2 DSS 软件

a. 初始化

该系统中的交叉开关(内部数字开关系统)控制着内部数字外设与外部引脚的物理连接。任何数字外设在使用之前都必须先配置交叉开关。因此，本软件的初始化程序选择高速 UART 并将其配置在 P0.6 和 P0.7 引脚，串口的波特率设置为 115200baud。这样，在上电后，C8051F000 内核将先按系统默认的内部振荡器运行，然后利用初始化程序将振荡器切换到外部 11.0592MHz 晶振上进行操作。当初始化完成后，C8051F000 便可向计算机发出就绪信息并准备接收来自远程计算机的命令。

b. 转换

在接收到来自计算机的转换命令后，A/D 转换便可开始。转换命令应详细说明每个转换的操作细节，该命令由单行 ASCII 字符组成。其格式为：\$ NNNN TTTT M C G 0dh 0ah。具体定义如下：

\$:该字符表示命令行的开始；

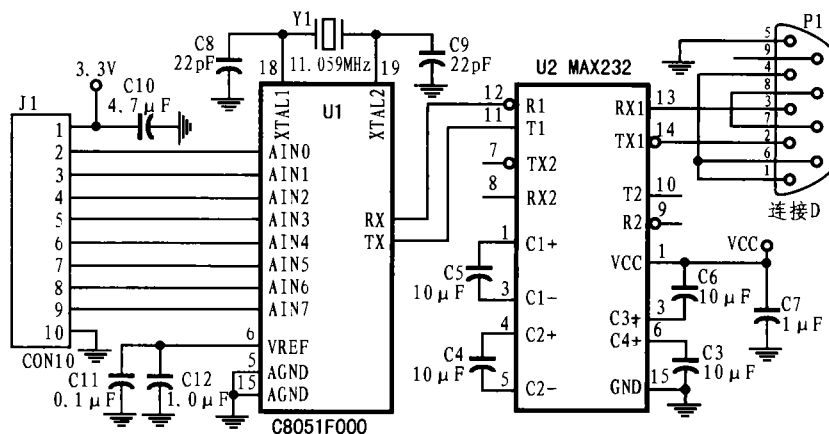


图 1 基于 C8051F000 的数字存储示波器电路图

NNNN:这四个 ASCII 字符代表转换的数减 1(十六进制值)；

TTTT: 该四位 ASCII 字符代表定时器的采样时间间隔(定时器 3)；

M: ASCII 字符，代表模拟多路器输入配置(差分/单端)；

C: ASCII 字符，代表模拟输入通道号；

G: ASCII 字符，代表 PGA 增益设置；

0dh 0ah: 表示回车/换行；

读取的命令字符数限定为 16，这些数据按十六进制传输。该命令处理过程中无错误检查，所以不正确的值通过 DSS 系统可能使系统运行混乱，这就需要有一个智能化的软件来确保只有正确的数据才能被送到 DSS 系统。

3 主要系统程序

由于篇幅的限制，本文只提供程序的主要部分，其余没有列出来的程序都以函数的形式来显示，并附有简短的解释。具体的主要程序如下：

```

; =====
; 等价定义
; =====
$ MOD8F000
; =====
; 变量
; =====

BSEG
ORG 00h
ADC_DONE: DBIT 1 ;保存 ADC 转换完成
状态标志
    
```

```

ERR_FLAG:  DBIT 1      ;保存错误条件标志
DSEG AT 30H
L_TIME:    DS 1 ;保存定时器重载值低字节
H_TIME:    DS 1 ;保存定时器重载值高字节
L_NUM:     DS 1  ;保存转换数的低字节
H_NUM:     DS 1  ;保存转换数的高字节
ADC_DATA_L: DS 1 ;保存临时ADC转换结果
ADC_DATA_H: DS 1
;=====
; 间接地址空间变量
;=====
ISEG AT 80H
STACK_TOP: DS 1  ;硬件堆栈首地址
;=====
;复位和中断向量表
;=====
CSEG
ORG 00h
LJMP MAIN      ;复位向量
ORG 7BH
LJMP ADC_ISR   ;ADC0转换结束中断
;=====
;主程序
;=====
org 0B3h
MAIN:
MOV SP, # STACK_TOP ;初始化堆栈指针地址
CLR EA              ;禁止中断
MOV WDTCN, # 0deh   ;禁止看门狗
MOV WDTCN, # 0adh
MOV XBR0, # 07h     ;使能 SMBus, SPI,
                    UART(TX,RX 分别对应 P0.6,P0.7)
MOV XBR1, # 00h    ;禁止对 SYSClk, T1,
                    T2, INTO & INT1 访问
MOV XBR2, # 40h    ;使能交叉开关和弱上拉
MOV OSCXCN, # 01100101b;系统时钟以晶
                    振 11.0592MHz 作为时基
MOV A, OSCXCN      ;读 OSCXCN 寄存器
RL A               ;把 XTLVLD( OSCXCN.7)赋
                    给累加器 A 进位
JNC INITIALIZE_2   ;等待直到 XTLVLD
                    置位,表示外部晶振已稳定
MOV OSCICN, # 88h  ;选择外部晶振
                    ;ADCOCN 初始化:禁止 ADC、连续追踪模式、
                    定时器 3 溢出启动 ADC 转换、数据右对齐
MOV ADCOCN, # 00000100b
CLR ADC_DONE       ;清除 ADC 转换完成
                    状态标志
CLR ERR_FLAG       ;清除错误标志
ACALL INIT_SERIAL ;调用串口初始化子程序
AGAIN:
ACALL SING_ON      ;调用向 PC 发送 DSS 就绪
                    信息子程序
ACALL GET_COMMAND ;调用获取来自计算
                    机发送的命令子程序
ACALL SET_TIMER_TICKS ;调用定时器 3 初
                    始化子程序
ACALL CONF_ADC     ;调用 ADC 配置(配置数
                    据是从计算机发送的信息)子程序
ACALL START_TIMER  ;调用启动定时器 3
                    子程序
ACALL START_ADE_CONVERSION ;调用启动
                    ADC 转换子程序
SETB EA            ;允许全局中断
ACALL SEND_HEADER  ;调用向 PC 发送开始
                    转换信息子程序
WAIT_FOR_CONVERSION:
JNB ADC_DONE, WAIT_FOR_CONVERSION
                    ;等待 ADC 转换完成状态标志置位
MOV A, ADC_DATA_H ;读取 ADC 转换结
                    果的高字节
ACALL TX_CHAR     ;调用向 PC 传送数据子程序
MOV A, ADC_DATA_L ;读取 ADC 转换结
                    果的低字节
ACALL TX_CHAR     ;调用向 PC 传送数据子程序
CLR ADC_DONE      ;清除 ADC 转换完成
                    状态标志
;检查是否还有需转换的数据
MOV A, # 0FFh
DEC L_NUM
CJNE A, L_NUM, WAIT_2
DEC H_NUM
WAIT_2:

```

●应用与设计

AD604 及其在医用超声系统中的应用

天津大学精密测试技术与仪器国家重点实验室 孙颖 李醒飞 张国雄

AD604 and Its Ultrasound Application

Sun Ying Li Xingfei Zhang Guoxiong

摘要: AD604 是 AD 公司生产的一种低噪声、高精度、双通道、可变增益放大器。它具有增益的分贝数和增益控制电压成正比的特性,特别适合于超声仪器中的时间增益补偿电路的应用。文中介绍了 AD604 的特点、结构和使用方法,并介绍了一种基于该芯片的超声衰减补偿的典型应用电路。

关键词: 衰减; 时间增益补偿电路(TGC); AD604

分类号: TN722

文献标识码: B

文章编号: 1006-6977(2003)02-0029-03

AD604 是 Analog Devices(AD 公司)的产品。和同类产品相比,AD604 具有超低噪声、高精度、增益连续可调,且增益的分贝(dB)数和增益的控制电压成正比的特点。而医用超声仪器的时间增益控制(TGC)电路要求其增益与控制电压呈指数关系,也就是增益的分贝(dB)数和控制电压成线性关系。因此,在这方面,AD604 是一个理想的超声 TGC 放大器,它能有效减小送入 A/D 转换器的信号动态范围。AD604 的主要特点如下:

●具有超低的输入噪声,在最大增益时,其电压

和电流噪声分别为 $0.8\text{nV}/\sqrt{\text{Hz}}$, $3.0\text{pA}/\sqrt{\text{Hz}}$;

●带宽为 40MHz(-3dB);

●具有两个独立的增益通道,并且增益的分贝(dB)数和增益控制电压成正比;

●每个通道的增益均可程控。在前置放大 14 dB 时,增益可在 0~+48dB 之间调整;而在前置放大 20dB 时,增益在 +6~+54dB 之间可调;

●具有 300k Ω 输入电阻;

●可变增益范围为 20~40dB/V;

●在温度和供电电压发生变化时,其增益非常

```

CJNE A,H_NUM,NOT_DONE
ACALL SEND_TRAILER ;调用向 PC 发送转换
                    完成信息子程序
JMP AGAIN ;本次转换完成,继续
NOT_DONE:
JMP WAIT_FOR_CONVERSION ;等待下一次
                    ADC 转换
JMP $ ;原地跳转
;=====
; ADC 中断服务程序
;=====
;中断程序在 ADC 转换结束后触发,ADC 数据
保存在 ADC_DATA_H:ADC_DATA_L
ADC_IRS:
CLR ADCINT ;清除 ADC 中断标志
JBC ADC_Done,ADC_ISR_2 ;如上一次的
                    数据没有被读取,则存在问题
SETB ERR_FLAG ;置位错误标志

```

```

JMP ADC_ISR_9 ;退出中断
ADC_ISR_2: ;上一次的数据被成功发送
MOV ADC_DATA_L,ADCOL ;保存 ADC 转
                    换结果的 LSB
MOV ADC_DATA_H,ADCOH ;保存 ADC 转
                    换结果的 MSB
SETB ADC_DONE
ADC_ISR_9:
RETI
;=====
END

```

参考文献

1. Sudhir Gupta. Digital Storage Scope Using Cygnal - C8051F000 Mixed Signal Processor Part I
2. 李刚,林凌. 与 8051 兼容的高性能、高速单片机 C8051FXXX[M]. 北京航空航天大学出版社

收稿日期:2002-09-02

咨询编号:030212