

基于 ARM 的便携式示波器设计

● 刘宏 韩冬柏

ARM 嵌入式处理器是一种高性能、低功耗的 RISC 芯片。目前 ARM 芯片广泛的应用与无线产品、PDA、GPS、网络、消费电子等领域。ARM 系列处理器中 ARM7 系列处理器主要应用在对成本和功耗要求比较严格的消费类产品,由于应用广泛技术成熟,所以使用 ARM7 设计的产品,综合成本较低。

一、总体方案

由于工程中应用的示波系统,被检测信号的针对性较强,功能相对简单。因此可以采用比较简化的系统方案。

为了简化系统,本设计采用了纯数字化的设计思想,尽量减少模拟元件的数量,减低系统的复杂程度、减小设备体积,以适应便携要求。

总体设计如图 1 所示:

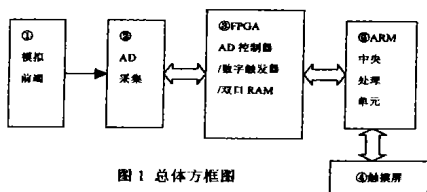


图 1 总体方框图

设计中没有采用传统的模拟同步触发电路,代之以由 FPGA 设计的数字触发控制电路。由于采用 FPGA 内部逻辑功能实现触发,因此没有增加元件数量,结构简单,体积小。

二、硬件结构

本系统硬件主要包含五个部分:(1)模拟前端;(2)AD 采集;(3)FPGA 控制器;(4)触摸屏;(5)ARM 中央处理单元。

1. 模拟前端。模拟前端主要完成对信号的放大和缓冲。采用两级放大电路,第一级为设随电路,第二级分别由一个 10 倍反相衰减器和一个 10 倍反相放大器构成。放大器输出信号经保护和信号分配开关送入 AD 采集电路。(参看图 2)

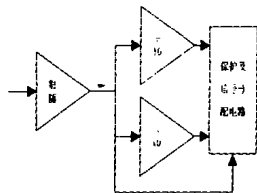


图 2 模拟前端放大器

2. AD 采集电路。AD 采集使用 TI 公司的 THS1041 高速 AD 芯片。THS1041 采用 4 级流水的半闪式采集电路,10bit 分辨率,40MSPS 采样率。由于 THS1041 内部具有一个 1-8 倍 PGA(可编程增益放大器),因此减少了外部放大器的增益和级数,简化了电路,减小外部干扰,提高了信噪比。

3. FPGA 控制器。THS1041 采用流水采集方式,因此必须为其提供时钟和控制信号,同时 AD 内部的 PGA 需要进行初始化,输出数据必须得到可靠高速存储。上述的控制电路和数据存储均由 FPGA 完成。同时通过 FPGA 还可以实现硬件的数字触发同步电路,实现边沿选择和触发电平控制以及不同的触发方式。FPGA 控制器使用了 Altera 公司 ACEX 1K 系列的 EP1K50TC144-1 实现。

4. 触摸屏。触摸屏是设备主要的交互式手段。ARM 芯片本身具有 LCD 控制器,为了保证信号显示、各种数据参数、控制信息和操作菜单都可以很好的显示,同时成本较低,触摸屏采用了 CASIO CMD500TT00-C1 彩色液晶屏。该液晶屏为 CSTN 显示器,320*240 分辨率,256 色,显示控制器为 HD66130 和 HD66137T,白色 CCFL 背光。触摸屏采用四线电阻屏。触摸屏控制器采用 ADS7843。

5. ARM 中央处理单元。为降低成本,减小体积 ARM 芯片用了集成度较高,通用性较好的 SAMSUNG 公司的 S3C44BOX 芯片。该芯片集成了 SDRAM 控

制器、LCD 控制器、PLL 时钟等系统所必须的电路,具有 50MIPS 的数据处理能力。最小系统中包括线性 Flash AM29LV800B,用于存储 Bootload 程序和部分应用程序、数据;16MB NAND Flash K9F2808U0B-Y 用于扩展程序和数据存储;SDRAM HY57V641620 作为系统程序和临时数据存储;MAX3232 用于与上位机和其他设备进行通信。

三、工作过程

系统上电后,ARM 进入程序自举状态,运行 Bank0 上线性 Flash 中存储的 Bootload 程序。Bootload 程序完成 ARM 状态寄存器的初始化,和程序加载到 SDRAM 的过程。程序加载完毕,进行程序和数据空间的 Remap 重新分配后,主程序开始运行。主程序首先完成 FPGA 的硬件初始化。FPGA 采用 8 位并行初始化。经过初始化后的 FPGA 包括以下几个功能模块:频率可编程时钟发生器;AD 控制器;2K 16bit 双口 RAM 数据缓存区;16bit 三态总线控制器;数字触发和同步控制电路;硬件中断控制器。

FPGA 按以下方式工作:首先通过 16bit 三态总线控制器接受 ARM 传递的控制参数,如触发方式、触发电平、采样率等。根据设定数值,FPGA 调整可编程时钟发生器的输出频率,改变 AD 采样率。由于 AD 最小采样率为 5MSPS,因此当采样率低于 5M 时,AD 输出的部分数据被丢弃。采集的数据送入 FPGA 斜率判断器和触发电平判断器,当条件满足时 FPGA 启动一次采样周期,采集 2049 个数据。采集到的数据送入 FPGA 内部的双口 RAM。当触发条件满足并采集完成后,硬件中断控制器向 ARM 发出一次外部异常,提醒 ARM 进行处理。

当外部异常发生时,ARM 进入异常处理服务。ARM 通过 Bank1 访问 FPGA 的外部 16bit 数据总线,将 FPGA 内部的 2K 数据传输到 SDRAM 中进行数据处理。

ARM 数据处理包括 FIR 滤波,FFT 变换和峰值、有效值、周期等数据的检测。上述数据处理完毕后调用图形绘制程序,将处理结果显示到液晶屏上。

四、软件设计

系统软件分为两个部分,一个是 ARM 处理器的应用程序设计,另一个是 FPGA 控制器的硬件结构编程。

S3C44b0x 的软件平台采用 ADS1.2,除 Bootload 程序和异常中断程序使用汇编外,主程序大都使用 C 语言编写。程序分为初始化、GUI 图形显示、文件系统、数字信号分析、键盘异常、采集异常、系统控制和任务分配等几个模块。初始化模块主要完成 ARM 上电时寄存器初始化,SDRAM 程序和数据加载,内存地址 Remap,液晶控制器初始化,FPGA 程序下载等任务。图形系统主要包括图形设备初始化,图形绘制,文本绘制,菜单等控件绘制等功能。文件系统由文件系统初始化,文件打开、关闭、读写,存储系统格式化等部分组成,与微机相近,标准串口通信也采用文件读写的方式进行。例如首先使用 CreatFile 函数创建串口设备,然后对 CreatFile 初始化的数据缓冲区进行读写,具体数据的传送由系统控制底层设备驱动完成。数字信号分析主要完成信号的 FFT(快速傅里叶分析),谐波失真度分析,峰值、有效值检测等数字分析任务。分析结果在屏幕上采用文本框方式显示,同时可以存储在 NAND Flash 文件系统中。系统控制程序采用了位图调度器的任务调度机制,整个系统设置 32 个优先级,0 级最高,为系统占用,每一个优先级不可能有两个或两个以上的线程。系统使用一个 Bitmap(位图)表示所有线程,位图中的每一位对应一个可以运行的线程。从位图上可以查找出哪一个线程处在激活状态,哪些线程具有最高优先权,哪些线程正在等待互斥体或其他同步原语。同时使用一个数据索引操作可以获取线程自身的数据结构。

(作者单位:哈尔滨学院理工学院
哈尔滨市房产管理监察大队)