

文章编号 : 1007-130X(2006)10-0135-03

基于 ARM & FPGA 的虚拟/ 智能手持式存储示波表 A Virtual/ Intelligent Hand-Held Memory Oscillograph Based on ARM and FPGA

宋 跃^{1,2}, 余焱业¹, 胡升平¹, 雷瑞庭¹

SONG Yue^{1,2}, YU Chi-ye¹, HU Sheng-ping¹, LEI Rui-ting¹

(1. 东莞理工学院电子工程系, 广东 东莞 523808;

2. 湖南科技大学信息与电气工程学院, 湖南 湘潭 411201)

(1. Department of Electronics Engineering, Dongguan University of Technology, Dongguan 523808;

2. School of Information and Electrical Engineering, Hunan University of Science and Technology, Xiangtan 411201, China)

摘 要: 本文介绍了一个双通道模拟带宽为 100MHz 的手持式虚拟/ 智能兼容的存储示波表的设计思想和实现方案。该方案基于 ARM 和 FPGA, 配合高速 AD 和 FIFO, 以 USB 实现虚拟仪器接口, 以图形液晶 LCD 实现智能方式仪器界面, 用 Delphi 实现虚拟界面。

Abstract: The paper presents the design and implementation ideas of a double-channel hand-held virtual/ intelligent memory oscillograph whose bandwidth is 100 MHz. The scheme is based on ARM and FPGA with high-speed AD and FIFO, in which the interface to virtual instruments is implemented with USB, the interface to intelligent instruments implemented with graphic LCD, and the virtual interface implemented with Delphi.

关键词: 存储示波表; 嵌入式系统; 虚拟/ 智能兼容仪器

Key words: memory oscillograph; embedded system; virtual/ intelligent compatible instrument

中图分类号: TP274; TM935

文献标识码: A

1 引言

目前, 国内外基于嵌入式技术的手持式数字示波表大多是集存储示波器、数字万用表和通用计数器等功能于一体的仪表。本文介绍以 ARM 和单片机为核心控制和数据处理芯片, 以 FPGA 实现系统逻辑控制, 以 USB 实现虚拟仪器接口, 用 Delphi 完成虚拟界面, 以图形液晶 LCD 实现智能方式仪器界面, 配合高速 AD 和 FIFO, 给出了一个双通道 100M 模拟带宽的手持式虚拟/ 智能兼容的存储示波表的设计思想和实现方案。

2 总体设计

系统的总体结构如图 1 所示。图 1 中, 输入处理电路完成对待测信号频率为 DC ~ 100MHz、幅度为 1mV ~

400V 的预处理, 待测信号经过可编程衰减和放大得到 AD

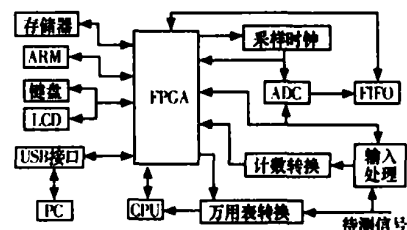


图 1 系统结构框图

的测量范围送 ADC 测量, 触发电路用高速比较器 AD8561 实现, 其参考电压由 ARM 对输入信号采样获得, 该信号另一路送计数转换电路, 经电压比较器 AD8561 整形后送到 FPGA 作通用计数器输入信号; 待测信号到万用表转换电路, 在 CPU 控制下能实现万用表参数的测量。采样时钟电路主要由可编程频率合成芯片 MC12429 等组成, MC12429 的输出时钟范围是 25MHz ~ 400MHz, 负责 ADC 采样时钟

* 收稿日期: 2005-03-10; 修订日期: 2006-07-21

基金项目: 湖南省自然科学基金资助项目 (02JJ Y5011); 东莞市科技发展专项资金资助项目 (2005D040); 东莞理工学院教授博士科研启动基金资助项目 (ZG051102); 广东省科技计划项目

作者简介: 宋跃 (1963-), 男, 湖南邵阳人, 教授, 研究方向为数据采集、虚拟与智能仪器等。

通讯地址: 523808 广东省东莞市松山湖区东莞理工学院电子工程系; Tel: 13018686781; E-mail: eda815 @163.com

Address: Department of Electronics Engineering, Dongguan University of Technology, Dongguan, Guangdong 523808, P. R. China

的产生,ADC为双通道100MHz的AD9288,转换后的数据送给IDT72V261LA10A——32K存储深度的高速FIFO存储器。

FPGA采用Altera EPIC6Q24046实现系统数字与控制平台,为系统保存数据扩展了64K字节的SRAM和4M字节的Flash ROM;ARM选用Philips LPC2105,负责采样、数据处理以及输入处理的控制工作^[1];CPU选用Philips 89C51RD2,完成测频、万用表、键盘显示、与计算机通信功能。ARM和CPU通过在FPGA内部设计总线仲裁电路实现系统控制及相互通信。系统采用USB方式与上位PC机通信。键盘采用4*8的导电橡胶键盘,LCD采用点阵液晶显示器TA T320240Q1为智能方式提供显示界面,其控制器设计在FPGA中。

3 系统测量原理

示波表由高性能微处理器ARM^[1]、高速A/D及采样时钟电路组成。为了更好地重现波形,系统采用了等效和实时两种采样方式。若输入频率小于6.25MHz,选用实时采样;反之选用等效采样。根据输入频率确定时钟芯片的输出及分频数,当输入频率为60KHz~6.25MHz时,利用MC12429产生的100MHz为基准采样时钟;当输入频率小于60KHz时,根据频段由FPGA对100MHz基准时钟分频后提供10MHz、25MHz、50MHz三种不同的采样时钟实现实时采样;当输入信号频率为6.25MHz~100MHz时,利用MC12429小步进输出的6.25MHz~100MHz的时钟实现等效采样。被测信号经输入处理电路调理,以满足A/D最佳转换要求。高速A/D转换后的数据存储在FIFO中,供ARM处理。ARM能根据菜单的选择输入,执行相应的算法处理软件,得到相应的测量结果并存入闪存。

数字万用表在万用表转换电路中经过电阻分压网络和交-直流变换芯片AD637送给24位高精度AD转换器ADS1211,通过内部的测量模式开关、自校准电路和算法,配上外部基准电压源等电路,能自动准确地测量交流电压、直流电压、交流电流、直流电流、电阻、二极管等参数。为提高测量精度,由CPU对测量结果进行了三次曲线拟合。

为充分利用系统资源,在FPGA中设计了通用计数器,被测信号在计数转换电路经过整形,产生同频率的矩形波信号,在FPGA中采用等精度和闸门计数技术对矩形波进行计数^[2],其数值算法和智能控制由单片机来实现。

4 FPGA数字平台

FPGA数字平台如图2所示,其中:

(1)总线仲裁电路模块负责CPU和ARM总线的切换和管理,主要包括数据总线、地址总线、控制总线的驱动、译码;同时又为CPLD/FPGA和处理器提供通信接口,它将CPLD/FPGA完全映射为微处理器的外部存储器^[2,3]。

(2)A/D采样控制器主要负责A/D采样时钟管理和控制。系统设置多级A/D采样时钟,A/D采样控制器根据ARM所发的A/D采样控制字发出时序控制信号。FIFO读写控制器负责FIFO的时钟管理和控制,为系统读写

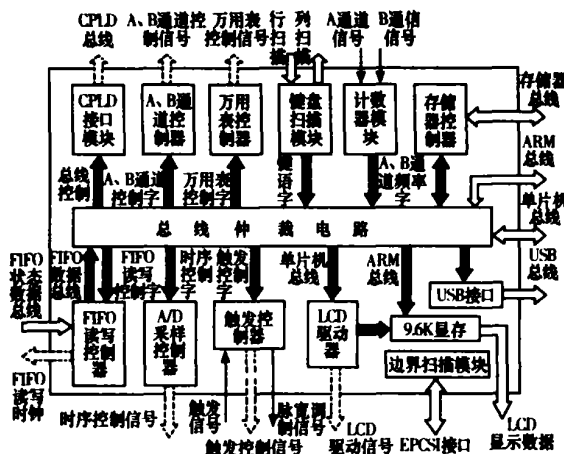


图2 FPGA数字平台结构

FIFO提供端口操作^[4],系统在100MHz~DC频段共设置819级FIFO读写频率以实现数据存储和冗余数据屏蔽,FIFO读写时钟的选择由ARM所发送的FIFO控制字决定,伴随着每次状态字的写入,控制器自动使FIFO读写指针复位^[4]。

(3)通用计数器模块主要负责频率、周期、脉宽、占空比、计数、频率比、相位差、时间间隔的高精度测量^[2]。

(4)键盘扫描模块负责4*8键盘的编码、去抖动、功能管理。通过对键盘行、列扫描确定用户所按键的位置,向系统发出键语字,系统通过键语分析后调用相应的模块进行操作。LCD驱动器模块负责驱动液晶显示模块,产生模块需要的控制信号的时序,产生显存地址信号等,FPGA开辟了9.6K显示缓冲区,以实现ARM处理数据与显示数据的分离。

(5)USB接口模块设计有USB接口所需的逻辑电路,实现PC机与系统的通信。CPLD接口模块完成数据和地址总线的驱动,用CPLD来扩展FPGA引脚^[4,5]。存储器控制模块负责扩展存储器的总线接口和控制信号的产生。

(6)通道控制器主要由译码电路构成,它将ARM发送过来的通道控制字转换成通道控制信号,用来控制A、B通道的增益值、耦合方式^[1]。万用表控制器主要用来控制万用表转换电路中的继电器矩阵和多路模拟开关等,实现万用表输入信号处理模块的选择。

(7)触发控制器负责发出脉宽调制信号;同时,将系统发送的触发控制字转换成触发控制信号,选择系统的触发源、触发方式和斜率;另外,还接收触发电路送过来的触发信号,启动A/D采样和FIFO的写操作^[5]。

5 软件设计

(1)系统软件:整个系统的程序可分成底层驱动和上层软件。底层驱动指对本系统其他外设或器件直接控制或访问的程序部分,包括ARM和CPU的初始化。上层软件主要指菜单的设计及显示、数据的处理、波形的恢复及平滑等。

(2)测量软件:测量软件的流程如图3所示。开始由

ARM 发出测量控制命令,信号频率和幅度测量值通过 FPGA 传给 ARM,由 ARM 对预测量数据进行分析处理,确定该信号的最佳采样方式和采样时钟,通过 FPGA A/D 采样控制器为 ADC 提供最佳采样时钟,并控制输入程控衰减和放大电路等。最佳采样完成后,由 ARM 将处理采样数据送入闪存。

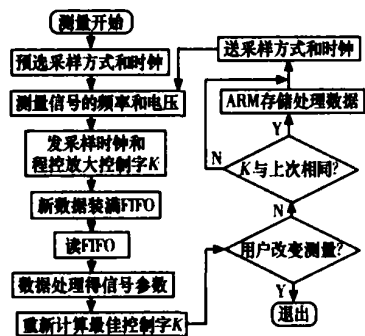


图3 测量软件流程

(3) USB 驱动程序:USB 驱动程序大多采用 WDM 模型,与以往直接跟硬件打交道的 Windows 95 操作系统下的 VxD(虚拟设备驱动模型)类型的驱动程序不同,我们使用了 Windows DDK、DriverStudio 开发驱动程序,在编写过程中很好地实现了两者的结合^[6]。

(4) 上位机软件:本仪器可以通过 USB 接口,在上位机软件的控制下工作在虚拟方式。上位机软件是采用 Delphi 7.0 软件开发的具有自主知识产权的简体中文界面。依托 PC 机强大的处理能力和丰富的系统资源,系统工作在虚拟方式时,示波器、万用表和计数器可以并行工作,具有比智能方式下更宽的可视区域、更大的存储波形数据的空间和更强的分析波形数据的能力。虚拟界面如图 4 所示。

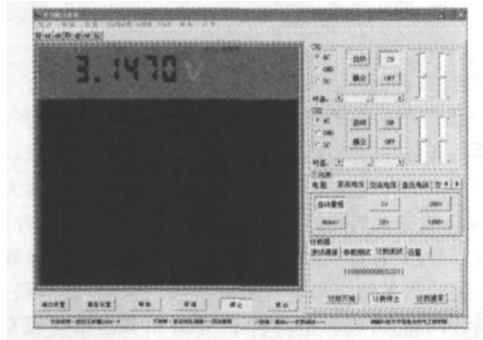


图4 虚拟界面

6 研制结果

研制的实验样机的性能指标为:模拟带宽为 100MHz (40dB),最高实时采样率为 100MS/s,最高等效采样率为 5GS/s,垂直分辨率为 8bit,垂直灵敏度为 5mV/div 至 50V/div,水平扫描为 5ns/div ~ 10s/div,最大输入电压为 (AC+DC) ±100Vpp,输入阻抗为 1M//20pF,测量精度为 ±5%,校准信号为 1KHz/3.3V。万用表通道的性能指标为:测量电阻为 100、1K、10K、100K、1M,测量电压为 10mV、30mV、1V、3V、10V、30V;测量电流为 200mA、1A,二

极管通断测量,测量精度为 ±3%,测量精度可达到五位半以上。通用计数器输入电压范围为 300Vrms,测试频率/周期(0.1Hz ~ 100MHz)精度达 10⁻⁶以上,占空比(0.1% ~ 99.9%)测量绝对精度为 1%,脉宽测量范围为 20ns ~ 10S,计数测量范围为 2³² ~ 1,误差为 ±1,相位差测量(0.1Hz ~ 6KHz)分辨率为 0.1等。

图 5 为样机 LCD 工作照相。研制出来的样机表明,该示波表具有体积小、功耗低、携带使用方便、性价比高等特点,可望有着广阔的市场空间。

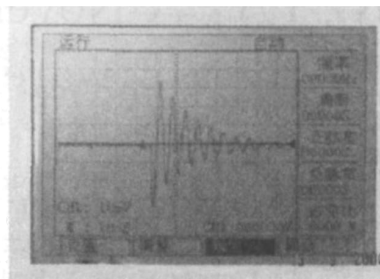


图5 LCD 工作照相

7 结束语

研制出来的样机具有体积小、功耗低、携带使用方便、性价比高等特点,说明以 ARM、FPGA 为核心来控制高速 AD 和 FIFO,USB 实现仪器接口,Delphi 与 TFT 实现仪器界面,设计一个双通道 100M 模拟带宽的手持式存储示波表的方案是行之有效的,可望进一步改进以迎合广阔的市场需求。

参考文献:

- [1] [英] Steve Furber. 田泽,于敦山,盛世敏译. ARM SoC 体系结构[M]. 北京:北京航空航天大学出版社,2002.
- [2] Petru Eles, Krzysztof Kuchcinshi, Zebo Peng. System Synthesis with VHDL[M]. Kluwer Academic Publishers, 1998.
- [3] Zoran Salcic, Asim Smailagic. Digital Systems Design and Prototyping Using Field Programmable Logic[M]. Kluwer Academic Publishers, 1997.
- [4] 金明,罗飞路,朱霞辉. FIFO 芯片在高速系统中的应用[J]. 电子技术应用, 1998, (3): 61-62.
- [5] 张兴会,赵杰. 智能数据采集系统的研究[J]. 仪器仪表学报, 2001, 22(4): 101-102.
- [6] 顾玉辉,李柯,朱明武. 一种虚拟信号分析仪器的设计[J]. 电子测量与仪器学报, 1999, 13(1): 51-55.
- [7] 宋跃,周明辉,胡升平. 脉冲信号发生—比较法的 CPLD 设计[J]. 计算机工程与科学, 2006, 28(9): 140-142.