

# 高速数字存储示波器的超前滞后电路设计\*

袁继敏<sup>1</sup>, 李小玲<sup>1</sup>, 陈长龄<sup>2</sup>

(1. 攀枝花学院 电气信息工程系, 四川 攀枝花 617000; 2. 电子科技大学 自动化工程学院, 成都 610054)

**摘要:**数字存储示波器的核心是时基电路,超前/滞后控制电路是时基电路的核心。其设计是数字存储示波器的关键。用可编程语言 FPGA 实现设计了用前置计数器和后置计数器控制触发点前后的采集样点数和数据的方案。

**关键词:**数字存储示波器;超前/滞后控制;计数器;CPLD;仿真

**中图分类号:** TM935.37

**文献标识码:** A

**文章编号:** 1672-6693(2003)04-0031-03

## A Design to Realize the Lead and Lag Control in Digitizing Oscilloscope

YUAN Ji-min<sup>1</sup>, LI Xiao-ling<sup>1</sup>, CHEN Chang-ling<sup>2</sup>

(1. Dept. of Electric-Information Engineering, Panzhihua College, Panzhihua Sichuan 617000;

2. College of Automation Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China)

**Abstract:** The core of digitizing storage oscilloscope is the time-based circuit, while the lead and lag control circuit is the core of the time-based circuit, the design of which is the crux of the digitizing storage oscilloscope. This paper gives a design with the programming language FPGA to realize the control of the samples before and after the trigger point and data storage by the software MUXPLUS.

**Key words:** digitizing storage oscilloscope; the lead and lag control; counter; CPLD; simulation

在现代电子测量、仪器仪表等领域中,数字示波器(digitizing storage oscilloscope 简称为 DSO)是电子信号测量的常用仪器之一,它具有存贮记忆功能,可利用数字滤波技术进行波形处理和利用 CPU 或 DSP 强大的数据处理能力进行参数分析,通过接口与计算机网络相连接,传输测量的数据和共享数据。DSO 既适用于重复信号的检测,也适用于单次瞬态信号的测量;既能观察触发点前的信号,又能观察触发点后的信号,同时可实现慢扫描观测缓变信号。正是由于数字存储示波器引入数字处理技术,可与计算机构成联机自动测试系统,在各行各业(包括电子、机械、纺织、水力以及军事应用领域等)都有着广泛的应用,并得到了高速发展。

数字示波器的时基电路是核心,控制信号特定区段的数据捕获存储。超前/滞后控制电路是时基电路的核心,设定触发点前后的采集存储样点数,控制 RAM 读写采集数据,从而实现既能捕捉触发点前的信号,又能捕捉触发点后的信号。超前/滞后控制电路的核心是前置和后置计数器,前置计数器用于控制存储器存储捕捉触发点前采集的样点数,后置计数器用于控制存储器存储捕捉触发后的采集样点数。前置计数器和后置

计数器控制的总深度为存储深度。

在数字示波器的设计中,超前/滞后控制电路设计十分重要,尤其是在随机取样示波器中,工作可靠的超前/滞后控制电路对采集的信号恢复有着重要的作用。本文结合研制 60 MHz 带宽的随机取样示波器(等效采样率达到 5 Gps)的经验,对超前/滞后控制电路设计进行分析。

### 1 超前/滞后电路控制信号和逻辑时序

笔者设计的示波器的前置和后置计数器控制的总深度为 32 K,前置计数器计数位数 15 bit,后置计数器计数位数 15 bit。两个计数器的输入控制信号有采集开始信号和系统触发信号、计数时钟、计数数据、系统复位、数据加载等信号,如图 1 所示。

在时钟(ACQCLK)和加载信号的作用下,锁存器将数据装入计数器中;当采集开始信号到来时,产生采集使能信号,同时启动前置计数器开始计数;前置计数器计数满后,关闭前置计数器,产生触发使能信号,放开触发电路产生的系统触发信号,启动后置计数器开始工

\* 收稿日期:2002-12-12 修回日期:2003-09-12

作者简介:袁继敏(1969-),男,四川遂宁人,讲师,博士研究生,主要从事测试计量技术与仪器研究。

作。当后置计数器计数满数据时,产生采集结束信号,关闭采集使能信号,如图 2 所示。图中各个箭头符号的起点和指向表示:当前的信号上升沿控制下一个信号的上升沿的产生的时序关系。

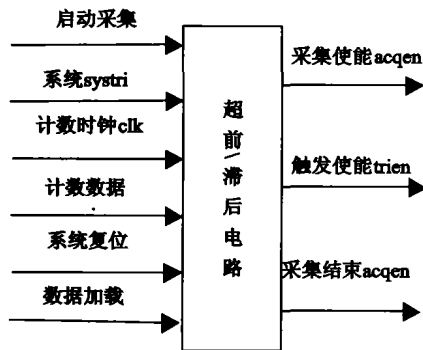


图 1 超前/滞后电路输入输出信号

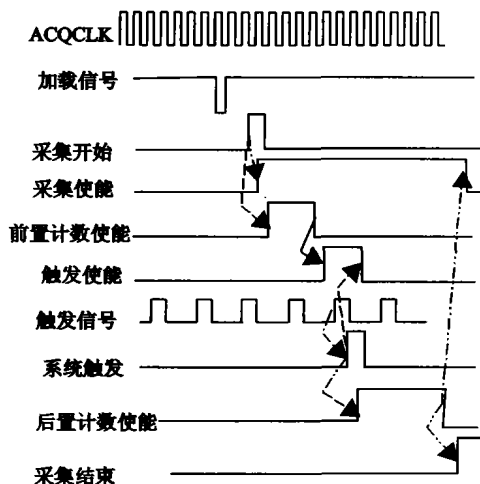


图 2 超前/滞后电路信号时序示意图

## 2 超前/滞后电路的设计和工作原理

根据前面所述的功能,设计了两个计数器,其相应的控制逻辑电路,如图 3 所示。为了更好地理解电路的工作,现结合具体的信号进行阐述。

### 2.1 锁存器

电路中用两个锁存器将来自示波器按键的选择经 CPU 解读后的数据锁存起来,为前置、后置计数器加载提供数据。锁存器设计为 31 位,其中  $q_0 \sim q_{14}$  位用于设定前置计数器初始值, $q_{16} \sim q_{29}$  位用于设定后置计数器初始值。锁存器的门控信号(latchgate)控制锁存器锁存数据,sset 为前后置计数器置位信号。将前后计数器各位输出均设置为“1”。

### 2.1 前置/后置计数器

前置/后置计数器的设计是本电路设计的重点,前置计数器用于设置采集触发前的样点数,后置计数器用于设置触发信号到来后的采集样点数。两个计数器均设计为 16 位同步计数器(输入  $d_0 \sim d_{15}$ ,  $d_{15}$  固定接“0”, $d_0 \sim d_{14}$  用于接收锁存器的初始数据),并带有同步加载、异步置位、计数使能端,且均为高电平有效。

当计数器计满后输出“1”。前置计数器的  $q_{15}$  输出用于:A) 放开系统触发信号 tri,当系统触发信号到来时启动后置计数器工作。B) 关闭前置计数器的计数使能信号 preen,停止前置计数器计数。

后置计数器的输出  $q_{15}$  也有 3 个作用。A) 当  $q_{15} = 0$  时,放开前置计数器的使能信号 preen,当  $q_{15} = “1”$  时,关闭前置计数器的使能信号 preen。B) 当  $q_{15} = “1”$ ,系统启动转换信号(采集启动信号 acqstar)到来时,为前置/后置计数器加载初始数据;当  $q_{15} = “0”$  时,去除两个计数器的同步加载信号 load,防止计数器只加载而不进行计数。C) 当  $q_{15} = 1$  时,关闭后置计数器的计数使能信号 proen。当  $q_{15} = 0$  时,放开后置计数器的使能信号 proen。

电路设计还保证了前后计数器计数期间,采集启动信号 acqstar 不能影响两个计数器的工作。只有当后置计数器工作结束后,才能响应采集启动信号 acqstar。这样保证每次都能完成设置的采集存储深度。见电路仿真图(图 4)。

## 3 电路的工作时序仿真和可靠性分析

电路的工作时序如图 4 所示,其中 tri 为系统触发信号,sset 为同步置位信号,load 为同步打入信号,preen 为前置计数器计数满信号,preq7 为前置计数器计数满信号,proq7 为后置计数器计数满信号,acqend 为采集结束信号。

系统上电瞬间,前置/后置计数器可能计数工作,如果没有采集转换信号 acqstar 和数据加载信号 load,两个计数器就可能一直计数,直到都计满为止。

但当几个脉冲后到来了采集转换信号 acqstar, D1 触发器就会将 load 信号置“1”。为了避免这种情况发生,设计前置/后置计数器时,将其设计为同步打入,同步置位为 1 的计数器,当 sset 信号到来时,在同步时钟 acqclk 的同步下,将前后置计数器的输出位  $q_{15}$  置为“1”,后置计数器的计数使能信号无效,等效于前后置计数器系统复位。D1 触发器放开采集启动存储信号 acqstar,当滞后于 sset 信号后  $n$  个脉冲的 acqstar 信号(通过软件设置来保证)到来后,产生同步加载信号 load,在

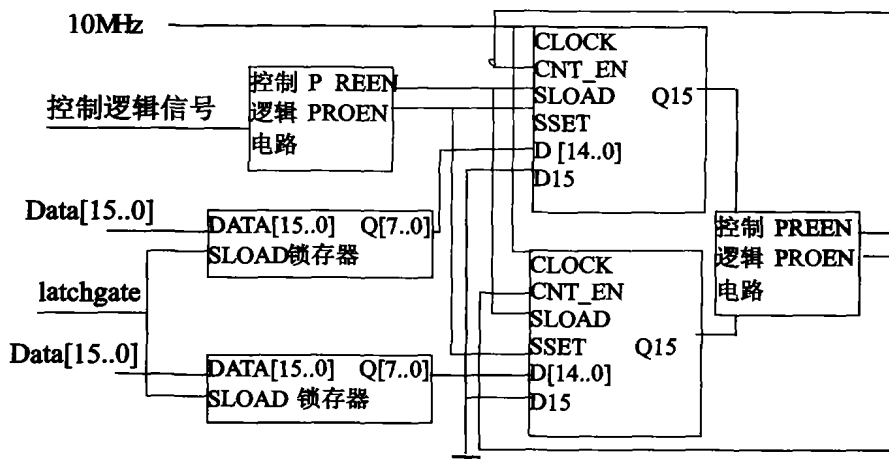


图 3 超前/滞后电路原理示意图

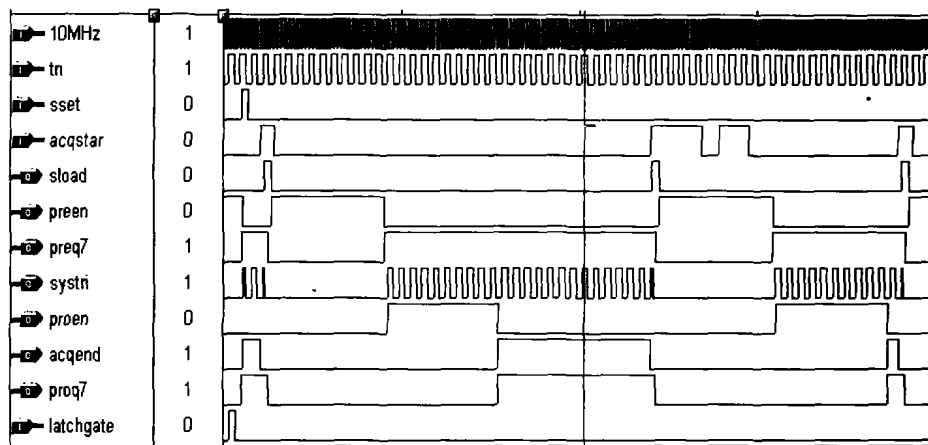


图 4 电路时序仿真波形图

同步时钟 acqclk 的同步下,使得后置计数器的 q15 为 0,将 D1 的输出清“0”并锁定为“0”,使 D2 也输出“0”,关闭前置/后置计数器的同步加载信号。前置计数器的输出 q15 = “0”的反向信号允许前置计数器计数工作。这样电路就进入正常工作状态。

从上述的分析、仿真可以看出系统工作是稳定可靠的。下载到 atera3256 中,实际运行也是可靠的。

参考文献:

- [1] 张乃国. 新型电子示波器[M]. 北京:中国计量出版社,1990.
- [2] 赵中义. 示波器原理、维修与检定[M]. 北京:电子工业出版社,1990.
- [3] 宋万杰,罗丰,吴顺君. CPLD 技术及其应用[M]. 西安:西安电子科技大学出版社,1999.

(责任编辑 许文昌)