

手持式存储示波表中的数据采集设计

宋 跃^{1 2} 胡升平¹ 周明辉² 雷瑞庭²

(1. 东莞理工学院电子工程系 523808 2. 湖南科技大学信息与电气工程学院 411201)

摘 要 以 ARM 和单片机为系统主辅 μp ，以 CPLD/FPGA 为数字逻辑平台，借助 MC12429，联合实现对 ADC9288 进行高速数据采集的控制，从而实现 100M 模拟带宽手持式存储示波表数据采集任务，实验表明该设计是有效的，文中介绍了系统结构，重点讨论了数据采集设计思想和实施方案。

关键词 ARM&FPGA 数据采集 等效采样 存储示波器

1 引言

目前国内外利用嵌入式技术设计手持式数字示波表，其设计中的核心要点^[1 2]是高速数据采集、处理和传送。本文介绍以 ARM 和单片机为 μp ，以 CPLD/FPGA 为数字平台，联合实现对 100M 模拟带宽手持式数字示波表中数据采集的控制的设计，实验表明该数据采集设计是成功的。

2 系统设计思想

系统设计框图如图 1 所示。程控放大器在 ARM 通过 FPGA 的控制下将被测 A、B 通道模拟信号调理到适合数据采集电路的采样范围，ARM 能根据信号预测频率和幅度以及用户输入的触发方式，通过 FPGA 发出采样信

号，运用实时采样或等效采样对调理后的信号进行数据采集，其结果存放在高速 FIFO，ARM 通过 FPGA 读取 FIFO 数据，并根据用户键入和系统设置对该数据进行数学运算，所得波形数据和参数一起存入闪存，在 FPGA 控制下通过显存将其送 LCD 显示，从而实现了数字存储示波器的功能。被调理后的信号另一路经整形电路转换为方波后送

资助项目：湖南省科技攻关项目 (03GKY3046)，东莞市科研发展专项资金项目 (2005D040)，东莞理工学院教授博士科研启动基金项目 (R0502)

FPGA 中的计数器模块，运用等精度和闸门测量技术完成 A、B 通道通用计数器的参数测量；单片机根据信号预测值和用户设置，通过 FPGA/CPLD 来控制继电器以选择不同的测量模块来处理 C 通道输入信号，以便完成 C 通道高精度万用表参数的测量。

3 数据采集硬件设计

3.1 输入控制

图 2 中 A、B 对称输入通道能分别对 $\pm 100 U_{\text{pp}}$ 的电压调理为 $-0.5V \pm 0.5V$ ，以满足 AD9288 输入电压要求，主要由衰减器、输入耦合电路、限幅器、电压跟随器、可变增益放大器、仪用放大器、输出保护器、触发电路以及控制电路等构成，能完成对输入信号的耦合、衰减放大、保护控制、触发控制及阻抗变换等功能。其控制电路主要由 CPLD 和一个光电继电器 AQW214 等构成，实现 A、B 输入耦合和增益值、触发电路的触发源

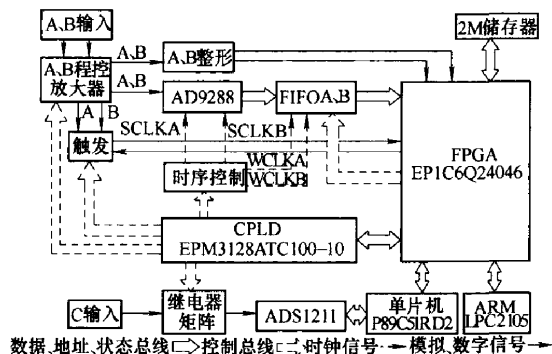


图 1 系统设计框图

图 2 基于 ARM 的数据采集系统结构

和触发方式、时序产生电路的控制, C 通道输入也受 CPLD 控制, 通过对继电器矩阵的控制来选择合适的模块测量电压、电流、电阻等, 测到的值经 24 位 ADS1211 转换后送单片机。整形电路主要采用两个低功耗的高速比较器 AD8561, 公共存储器是一片 2M 的闪存 AM29LV160, 与 FPGA 相连可供 ARM、单片机、FPGA 共享分时访问。

3.2 采样时钟

AD9288^[3]的采样时钟主要由两片 MC12429 完成, MC12429 内部能产生 200~400MHz 的频率, 差分的 PECL 信号输出可以配置为 VCO 输出的 1、2、4、8 分频。当采用 16MHz 的晶振时, 振荡器提供给相位检波器的基准频率为 1MHz, 所以当分频器 $N=1$ 时, 输出频率的程控步长为 1MHz。 $FOUT=M/N$, M 、 N 的值既可通过并口也可通过串口来控制, MC12429 的 TEST 引脚是一个多功能的 CMOS 输出端, 它可以通过串行输入的低三位进行配置。由于 AD9288 要求采样时钟为 CMOS 电平, 故 AD9288 的采样时钟从 MC12429 TEST 端采用 FOUT/4 模式输出^[3]。

AD9288 的采样时钟是由 FPGA 中的 A/D 采样控制器发出的, 它由 ARM 所发的 A/D 采样控制字决定。为了使 AD9288 工作在最佳工作状态以得到最佳信噪比, 在实时采样中设置四级 A/D 采样时钟, 分别为 100M、50M、25M、10M, 它们是由 MC12429 产生的 100M 基准时钟经 FPGA 分频得到, 在等效采样中由 MC12429 编程输出 6.25~100MHz 作为其采样时钟。

3.3 A/D 转换与数据存储

A、B 通道的 A/D 转换电路, 由一片 AD9288 和两片 FIFO 存储器构成, AD9288 的模拟输入来自 A、B 程控放大器的差分输出。在 ADC 采样频率单一时由于信号频率不一和 FIFO 容量有限, 必须调整 FIFO 的写时钟来实现采样数据的存储^[4], 为此在 DC~100MHz 共设置了 819 级 FIFO 读写频率, FIFO 读写时钟由 FPGA 根据 ARM 所送 FIFO 控制字决定, 伴随着每次控制字的写入, 控制器自动使 FIFO 读写指针复位。该字也是 ARM 根据 FPGA 计数器模块所得信号频率来调整的, 其调整的指导思想是让采集写入 FIFO 的数据尽量有效, 而 FIFO 数据在 ARM 读出后尽量丢弃, 使采集到的数据在 ARM 数据处理中既不被溢出覆盖又能跟

上数据刷新速度, 设计中这些数据经过处理后要求能显示出 2~4 个周期的信号波形。

FIFO 存储器选用 9bits, 16K IDT72V261LA10, 最快存储速度可达 6ns, 满足 AD9288 最高采样速率 100MS/s 的要求。其读写时钟、控制线等都来自 FPGA。

3.4 数字平台^[5]

本数字平台由一片较小规模的 CPLD 和一片较大规模的 FPGA 组合构成, 其主要功能模块构成如图 3 所示, 平台中总线仲裁器为 CPLD/FPGA 和 μp 提供通信接口, 通过它 CPLD/FPGA 被映射成为 μp 的外部存储器, 总线仲裁器根据 μp 的地址总线及片选信号经译码来决定 CPLD/FPGA 总线的归属。

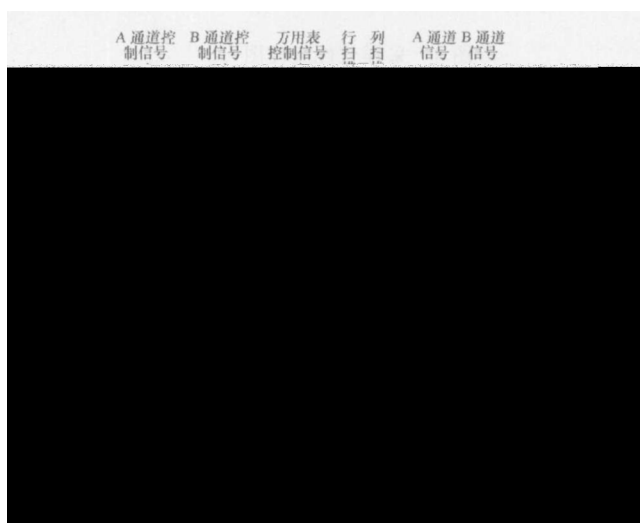


图 3 数字逻辑平台结构

触发控制器主要用来发出脉宽调制信号、触发控制信号和接收触发电路送过来的触发信号, 以启动 A/D 采样和 FIFO 的写操作。LCD 驱动器为 LCD 显示提供各种所需的控制信号, LCD 显示缓存区是利用 FPGA 内部的 RAM 块设计的 9.6KB RAM。系统每次可以存入显示一屏的数据至显存, 这样将 ARM 处理后的数据同显示数据分离开来。

4 数据采样与处理

系统采用了等效和实时两种采样方式, ARM 采样流程如图 4 所示。当输入频率为 DC~6.25MHz 时, 进行实时采样; 否则进行等效采样。系统对信号先作频率和幅值的预测量, 由 ARM 根据预测量确定下次采样方式、A/D 采样时钟及程控放大控制字、时钟芯片的输出及分频数。

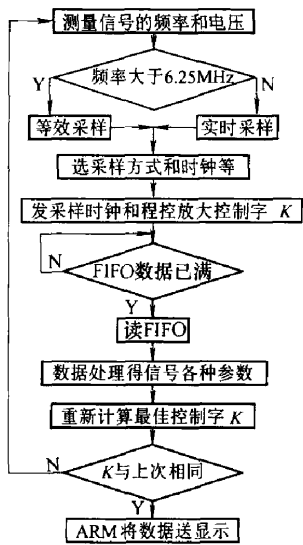


图 4 采样软件流程图

等效采样（见图 5）主要采用以 MC12429^[6] 控制 ADC 对高频信号进行循环间歇式采样^[2]，输出采样频率范围在 6.25~100MHz 之间，并有可控的小步进值。MC12429 的输出频率为 25~400MHz，需要外加分频电路将其低频部分扩展。然而 AD9288 转换速率是 10~100MS/s，低端采样会因 FIFO 容量有限而受到限制，通过控制 FIFO 的写入速度来调整，设计 MC12429 TEST 输出的 FOUT 作为 ADC CLK 工作频率，同时经过 FPGA 中程控分频器后作为低端信号时 FIFO 写入时钟，以控制 FIFO 的写入速度。

由于 MC12429 在 6.25~100MHz 的不同频段，步进值不同，但都为 0.031 25MHz 的倍数，为便于数据处理，软件设

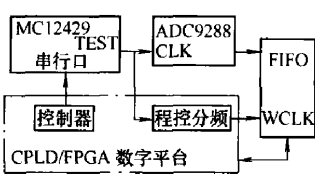


图 5 等效采样框图

计中可以将实际频率除以 0.031 25MHz 后记为 d_{in} ，根据输入频率设定 MC12429 的频率字 S_Y （只取整数）经过 n 分频后产生采样频率。根据等效采样的原理^[2]，采样频率与输入频率相近，二者频率代值的差值记做 d_a ，则 S_Y 可以表示为 $S_Y = (d_{in} - d_a) \cdot n$ ，这时复现一个波形所需的采样点数为 $d = (d_{in} - d_a) \cdot d_a$ ，本系统选用的图形点阵液晶为清达光电 TAT 320240Q1、320×240 点阵（92mm×72mm），波形显示区 240×200 点阵，将 x 轴上 20 个点所表示的时

间定义为一格时基，记作 A ，则液晶屏幕上显示的周期个数 $N = 240d_a / (d_{in} - d_a)$ ，由此，时基可以表示为 $A = 20d_a / [f_{in} \times (d_{in} - d_a)]$ 。

实时采样中，为了使采样得到的波形尽量精确和考虑到 FIFO 容量，系统将 6.25MHz 以下的信号分为 20 个频率范围来设计 FIFO 写入时钟和 A/D 采样时钟。

5 实验结果

本文介绍的示波表样机液晶屏工作效果令人满意，其模拟带宽 100MHz（40dB）；最高实时采样率 100MS/s，最高等效采样率 5GS/s，垂直分辨率 8bit，垂直灵敏度每格 5mV~50V，水平扫描 5ns/格~10s/格，最大输入电压（AC+DC）±100U_{pp}，输入阻抗 1M/20pF，测量精度 ±5%，校准信号 1kHz/3.3V；万用表精度可达到五位半以上；计数器精度达 10⁻⁶ 以上。实践证明本数据采集方案是有效的。

参考文献

1 张兴会，赵杰．智能数据采集系统的研究．仪器仪表学报，2001，22（4）
2 孙圣和．现代时域测量．哈尔滨：哈尔滨工业大学出版社，1989
3 周智敏．超高速数据采集技术与系统实现．数据采集与处理，1998，13（11）
4 Petru Eles，Krzysztof Kuchcinshi，Zebo Peng．System Synthesis with VHDL．Kluwer Academic Publishers，1998

Design of Date-Acquisition in Portable Memory-Oscillorgaph

Song Yue

（Dongguan University of Technology）

Abstract The high speed date-acquisition task in portable memory-oscillorgaph with 100M analogue frequency range is fulfilled by MC12429，in which CPLD/FPGA is used for digital logical platform，ARM for principal microprocessor，single chip computer for assistant one，the experiment showed the design was feasible，the system struction was presented，its design thought and pactice method are introduced mainly.

Keywords ARM&FPGA date-acquisition equivalent sampling memory-oscillograph

收稿日期：2005-03-22