

基于示波器显示的简易逻辑分析仪设计

孔冬莲

(鄂州大学 电子工程系, 湖北 鄂州 436000)

摘要:该系统以可编程逻辑器件(CPLD)为控制核心,VHDL语言为设计工具,利用CPLD逻辑性强的优势,综合CPLD、常规数字和模拟电路技术完成简易逻辑分析仪设计。输出利用两块D/A芯片,同时提供示波器X、Y轴信号,在模拟示波器上实现同时显示8路以上信号的功能。该逻辑分析仪为可以实现始端触发和终端触发,并可根据触发方式分别显示触发前、后所保存的逻辑状态,并显示触发点位置和时间标志线移位与显示的智能仪器。

关键词:逻辑分析仪; CPLD; 示波器; 先入先出存储器

中图分类号:TN702

文献标识码:A

文章编号:1008-9004(2006)03-0033-03

逻辑分析仪是用于分析数字系统的逻辑关系和计算机软、硬件的强有力的工具,是数据领域测试仪器中最有效、最有代表性的仪器。但是自1973年7月诞生第一台逻辑分析仪至今,逻辑分析仪的普及率还很低,30%以上的数字设计师没有使用逻辑分析仪,其最重要的原因在于其高昂的价格。本文介绍了一种以可编程逻辑器件为核心、示波器为显示工具的简易逻辑分析仪的设计方法。

1 总体设计

以10万门的复杂可编程逻辑器件CPLD(EP1K100QC208-3)为核心,将8路信号实时存入CPLD片内先入先出的存储缓冲区。该分析仪可通过逻辑控制模块分别设置单、三级触发字。使用时根据选择的触发方式,CPLD片内存储缓冲区的数据与触发字相比较。当两者完全相同时,存储缓冲区的八路逻辑信号存入CPLD内部的FIFO RAM存储器中。再经显示模块取出送示波器进行显示。否则,触发字将继续与8路信号进行比较,直到两者完全相等为止,如图1所示。

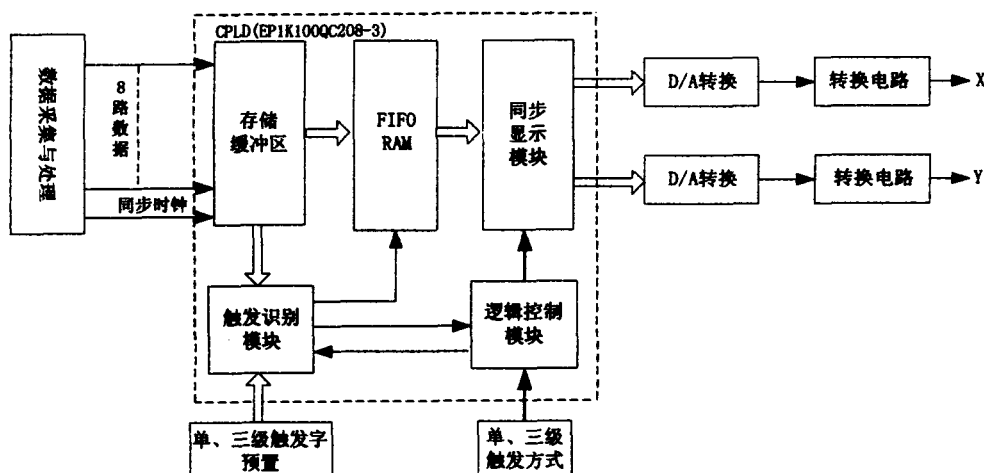


图1 逻辑分析仪系统图

收稿日期:2006-03-12

作者简介:孔冬莲(1969-)女,湖北浠水人,鄂州大学电子工程系讲师,主要从事物理电子学教学与研究。

2 理论分析与计算

2.1 显示设计

根据示波器的显示原理,如X轴未送入信号,Y轴加上锯齿波扫描信号,示波器上出现一条垂直的竖线^[1]。利用此原理,当X轴扫描完九次后停止输出,同时,在Y轴上加一个锯齿波信号。这样配合后,在示波器上出现一条时间标志线,只要改变X轴的电压值,则时间标志线可左右移动。欲对8个被测输入通道同时进行测试,必须能够显示8条水平扫描线,因此在Y轴送加一个8阶梯电位,控制各被测通道位置,从上到下为 $Q_0 \sim Q_7$;X轴输入送加16阶梯电位,则每个数据通道在每个水平方向上显示16个状态。这样,在示波器的屏幕上就可以出现几个被测输入通道的逻辑时间状态波形。

本系统由CPLD输出的 $2K \times 256 = 512KHz$ 时钟脉冲作为产生X轴锯齿波扫描信号的时钟,由上式可知,每256个脉冲产生一个锯齿波,所以锯齿波频率为2KHz,即锯齿波扫描信号频率为2KHz。

8路信号显示一个完整波形所需时间为:

$$T_1 = \frac{1}{2 \times 10^3 Hz} \times 8 = 4 \times 10^{-3} s$$

触发点(触发位置)显示一次所需时间为:

$$T_2 = \frac{1}{2 \times 10^3 Hz} \times 1 = 0.5 \times 10^{-3} s$$

时间标志线显示一次所需时间为:

$$T_3 = \frac{1}{2 \times 10^3 Hz} \times 1 = 0.5 \times 10^{-3} s$$

则示波器波形变换一次所需时间为:

$$T = T_1 + T_2 + T_3 = 4 \times 10^{-3} + 0.5 \times 10^{-3} + 0.5 \times 10^{-3} = 0.5 \times 10^{-3} s$$

所以,示波器的刷新频率为:

$$f = \frac{1}{0.5 \times 10^{-3} s} = 200 Hz$$

2.2 信号采集电路

逻辑分析仪的信号采集是在时钟作用下按节拍进行的,时钟信号采用外部输入,信号采集原理框图如图2所示。

题目设计要求逻辑信号门限电压在0.25~4V范围

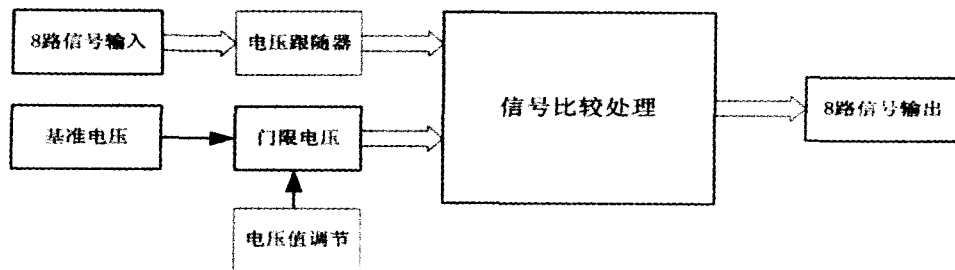


图2 信号采集原理框图

内按16级变化,以适应各种输入信号的逻辑电平。为使门限电压每次步进0.25V更加精确,采用X9511W型数字式电位器,并有掉电存储功能,电路如图3所示。

该数字电位器最大电阻为10K,可在0.25~

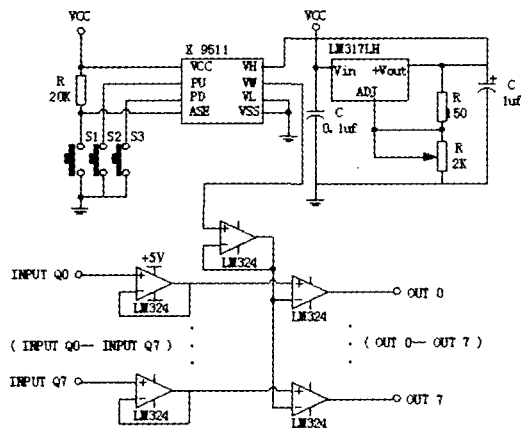


图3 信号采集电路

7.75V范围内实现32级变化,误差为 $\pm 0.002V$ 。同时以LM317为核心器件,搭建了一个准确性较高的调压电路,提供给数字电位器一个稳定的7.75V基准电压。

$$\text{基准电压 } V_H = \frac{(4 - 0.25) \times (32 - 1)}{16 - 1} = 7.75V$$

8路输入逻辑信号与设定的门限电压进行比较,判为0、1两种状态后存入寄存器。

在8路逻辑信号输入的前端加入由运放LM324构成的电压跟随器,输入阻抗可以达到50K Ω 。

2.3 数据存储缓冲及触发识别

本系统采用外部输入触发信号,可以实现始端触发和终端触发两种延时触发方式,如图4所示。并按每路90bit深度将8路信号存入CPLD片内存储缓冲区,等待启动信号。启动后,实时提取每路信号的中间一位信号即第45位与触发字进行比较。相等时,把存储缓冲区每路90bit信号存

入CPLD内部的FIFO RAM存储器内,记下触发字位置,关闭启动信号。同时取出数据,经过多踪显示电路送模拟示波器显示采集前后数据波形。

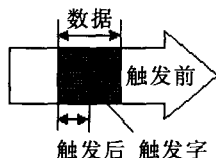


图4 延迟触发

触发后,按照时钟延时的方式对数据流进行存储和显示。

3 CPLD逻辑功能芯片内部设计

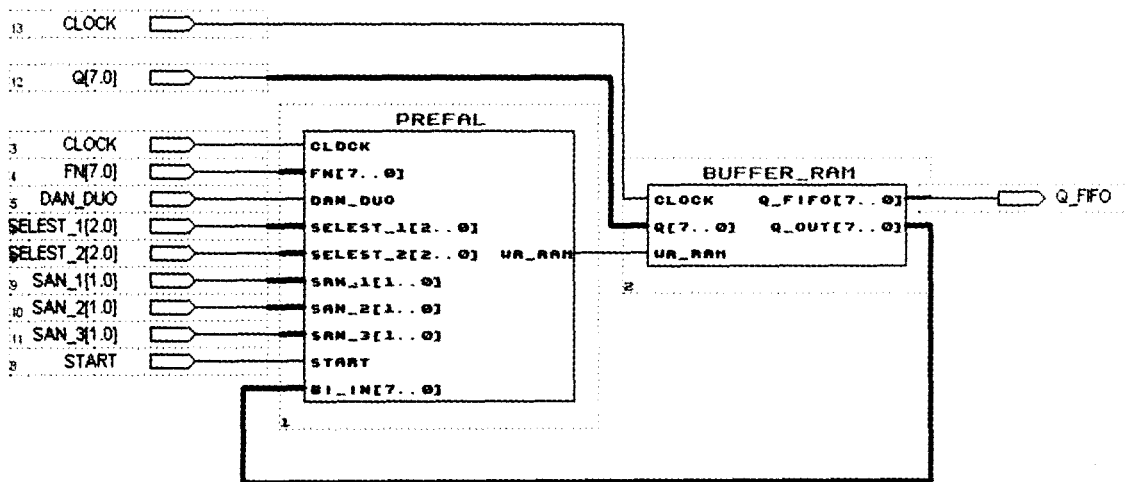


图5 数据处理及微控制系统模块

发前置和后置按钮进行相应的控制,使DAC0832_Y信号输入到模拟示波器Y轴显示,同时HACKLE模块产生2KHz的锯齿波输入到模拟示

波器的X轴,为了满足X轴与Y轴信号同步的需要,两个模块使用同一频率的脉冲信号,如图6所示。

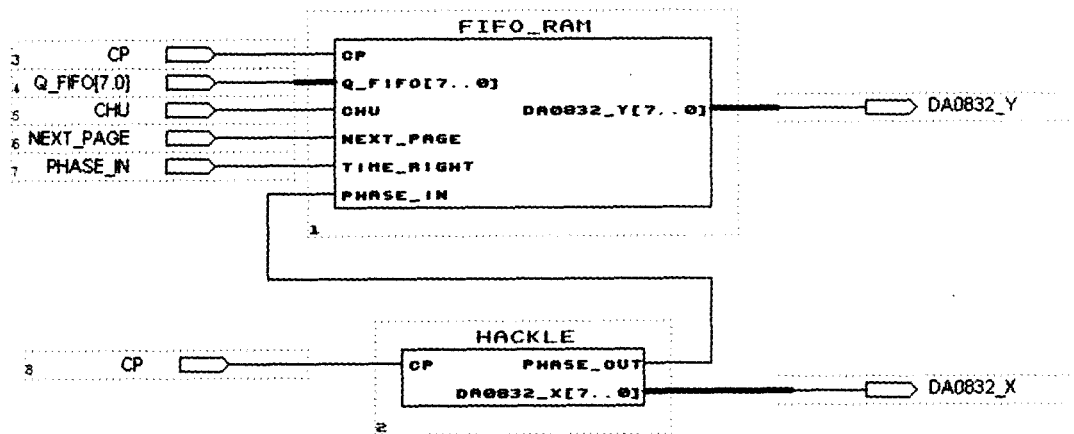


图6 逻辑状态显示和FIFO RAM模块

(下转第38页)

【参考文献】

- [1]陈于萍.互换性与检测技术基础[M].北京:机械工业出版社,1997.
 [2]董树信.公差与技术测量[M].沈阳:辽宁人民出版社,1980.
 [3]谭春晓.机械设计中形位公差的确定[J].电大理工,2005,(2):12-13.

A brief discussion about the choice of tolerance of form and position in the design of machine element

JIANG Ming-cha

(Electronics and Mechanical Engineering Department, Ezhou University, Ezhou, Hubei 436000, China)

Abstract: The property of a machine or the quality of a product hangs on firstly its accuracy of machine element designing and manufacturing. To ensure a designed accuracy, it is a must to make demands of dimensional accuracy and technical specifications rationally. Something about how to rationally select items of form and position is discussed in this paper.

Key words: design of machine element; item of form and position; choose

(上接第35页)

4 结束语

此系统特点在于充分发挥了可编程逻辑器件(CPLD)的自身优势,将CPLD、数字、模拟电路形成

最佳配合,利用示波器作为显示器件实现逻辑分析仪的功能,而造价很低,使系统获得较高的性价比指标。

【参考文献】

- [1] 赵茂泰.智能仪器原理及应用[M].北京:电子工业出版社,2002.
 [2] [美]James R Armstrong. VHDL Design Representation and Synthesis [M]. 北京:机械工业出版社,2003.
 [3] 林敏,方颖立. VHDL数字系统设计与高层次综合[M]. 北京:电子工业出版社,2001.

Design of logic analyzer based on oscilloscope displaying

KONG Dong-lian

(Department of Electronics and Engineering, Ezhou University, Ezhou, Hubei 436000, China)

Abstract: In this system the CPLD is used as the control core and the VHDL language is used as the design tool. This system accomplishes the functions of the logic analyzer, taking the advantage of the great logicity and synthesizing the technology of CPLD, digital and analogy electronics. The system uses two pieces of D/A to output X and Y axes signals simultaneously, and realizes the function of displaying signals above 8 channels on the oscilloscope at the same time. This logic analyzer can realize the triggering at the beginning or the end, and according the trigger mode it also can display the saved logic states before or after the triggering and triggered position, time line mark.

Key words: Logic analyzer; CPLD; oscilloscope; FIFO RAM