

## 用 FPGA 实现示波器的数字存储

李翔, 杨通桥, 罗亮

(西南科技大学 信息与控制工程学院, 四川 绵阳 621002)

**摘要:** 普通示波器通过附加电路可构成简易数字存储示波器。电路以 FPGA 主控部件为核心。输入电路包括功能选择、信号放大和 A/D 转换电路。输出电路含功能选择、D/A 转换、有源滤波和信号放大电路。控制电路以 Spartan II 构成小系统, 协调输入、输出电路工作。通过对模数和数模高速转换器的控制, 实现信号采集、处理及存储, 处理结果用普通示波器显示。

**关键词:** 数字存储; 示波器; FPGA; Spartan II; 信号处理

**中图分类号:** TP274.2 **文献标识码:** A

## Digital Storage of Oscilloscope Realized with FPGA

LI Xiang, YANG Tong-qiao, LUO Liang

(College of Information &amp; Control Engineering, Southwest University of Science &amp; Technology, Mianyang 621002, China)

**Abstract:** The simple digital storage oscilloscope can make up of general oscilloscope appended circuits. The additional circuits that FPGA parts used as control core consist of input, output circuits and control circuit. The input circuit includes function selection, signal amplification and A/D transform circuits. The output circuit contains function selection, D/A transform, active filter and signal amplification circuits. The control circuit that mini system consists of Spartan II connects input and output circuits to work coordinate. Through controlling of high-speed converter for D/A and A/D, signal acquisition, processing and accessing and processing result was displayed by general oscilloscope.

**Key words:** Digital storage; Oscilloscope; FPGA; Spartan II; Signal dealing

## 1 引言

在信号观测和测量中, 示波器是一种常用测量仪器。用普通示波器捕捉和显示那些瞬态信号, 是不可能的。新的示波器引入了微处理器, 具有较强的数字化处理能力, 可对任意波形实现存贮和再现。采用一种外加简易电路的方案, 通过对检测信号进行采集、处理及存储等控制, 将处理结果利用普通示波器显示出被测波形, 以较低的成本使普通示波器实现波形存储的功能。

## 2 系统组成

以 FPGA (Field Programmable Gate Array) 为核心控制部件, 通过对数模和模数转换器的控制, 可实现数据采样、存储、输出等功能, 达到数字存储示波器的技术要求。系统框图如图 1。

A、B 两路模拟输入经前置放大(或衰减)电路, 通过高速 A/D 转换, 存入 FPGA 的 RAM。FPGA 根据相关功能按钮设定, 作出判断, 把数

据送 D/A 转换器转换成模拟电压输出。

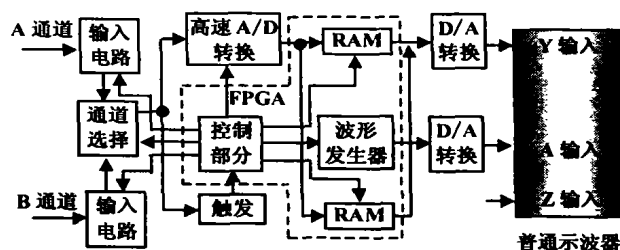


图 1 系统框图

系统采用具有多层次存储系统 XILINX 的 Spartan II 芯片。由于带有 48K BLOCK RAM, 只需对查找表进行编程就可使用, 且使系统具有更深的存储深度。其次, 由于 Spartan II 是可编程逻辑器件, 完全采用硬件控制, 系统性能达到 200MHz, 因而其响应速度比一般单片机更快, 控制精度更高。采用 FPGA 还可满足用户对系统的单片集成的要求, 由于 FPGA 的可重加载性, 它的功能扩展和升级余地很大。

收稿日期: 2002-08-27; 修回日期: 2002-09-18

作者简介: 李翔 (1966-), 男, 河北人, 副教授, 1987 年毕业于北方工业大学, 从事生物医学仪器开发、物流自动化系统研究。

### 3 主要电路

系统的总体电路分三部分：输入电路、控制电路和输出电路。输入电路由功能选择电路、信号放大电路和 A/D 转换电路组成；输出电路由功能选择电路、D/A 转换电路、有源滤波电路和信号放大电路组成；控制电路是以 Spartan II 芯片构成的小系统，把输入、输出电路联系在一起，实现信号传递、存储等控制。

#### 3.1 功能选择单元电路

单元电路通过对三组继电器的控制，可选择 1V、0.1V、0.01V 交、直流三挡输入电压。其中 IN\_ACDC\_A 和 IN\_ACDC\_B，IN1\_0.1\_1V 和 IN2\_0.1\_1V，IN1\_0.01\_1V 和 IN2\_0.01\_1V 分别是三组具有相同电器性能的继电器。其中 IN\_ACDC\_A 实现信号 1 通道的 AC/DC 选择（在交流通道中加入耦合电容，起隔断直流的作用）。IN1\_0.1\_1V 和 IN1\_0.01\_1V 实现信号 1 通道的三档位选择（如图 2、图 3 所示）。通道 2 的功能选择与通道 1 的原理相同。

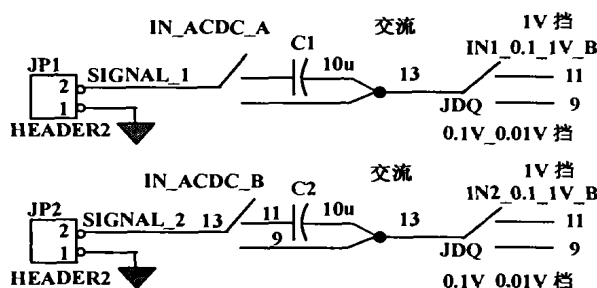


图2 功能选择单元电路

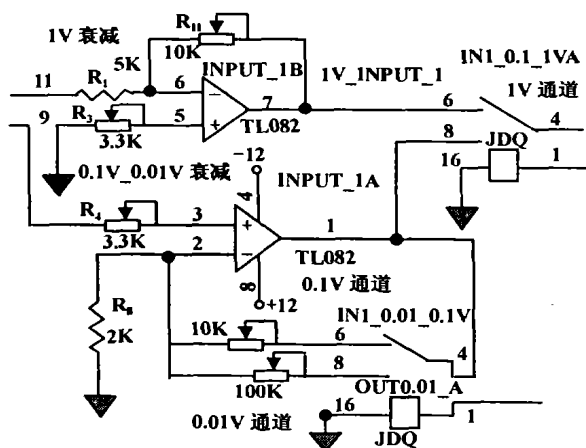


图3 放大（衰减）电路

#### 3.2 放大（衰减）单元电路

当按钮置为 1V 挡，信号送入 1V 衰减通道；当置为 0.1V 挡，送入 0.1V 放大通道；当为 0.01V

挡，送入 0.01V 放大通道。衰减通道和两个放大通道均用运放连接成比例电路实现，仅比例系数不同。其参数设置：1V 衰减通道衰减倍数为 2，1V 挡放大通道放大倍数为 6.25，0.01V 挡放大通道放大倍数为 62.5。

#### 3.3 高速 A/D 转换单元电路

为实现双踪示波功能，即同时显示两路被测信号波形，故在 A/D 转换前加入一片 CD4052 多路选择器。CD4052 输出模拟信号送 A/D 转换器。为实现 20 点/div 水平分辨率和 20us/div 最高扫描速率的要求，A/D 转换芯片的转换速率必须  $\geq 1\text{M}$ ，故选用 TLC5540 芯片。TLC5540 是高速、8 位模拟—数字转换器（ADC），其采样速率达每秒 40 兆/s（40MSPS）。TLC5540 使用半闪速结构和 CMOS 工艺，能以高速进行转换，同时仍保持低功率损耗与成本。器件具有内部电阻，用以从 5V 电源产生 2V 满刻度基准电压，从而减少了外部元件数。且其价格与普通 ADC 的价格差不多。电路连接如图 4 所示。

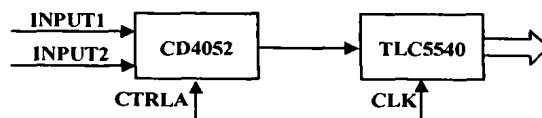


图4 A/D 转换电路示意图

#### 3.4 其它电路

其它电路有 D/A 转换单元、多路反馈低通有源滤波单元和触发单元等。采用两片 DAC0832 分别作为 A、B 通道的 D/A 转换电路。为使输出模拟信号与输入模拟信号一致，设计一低通有源滤波电路滤掉采样频率的干扰，拟定的系统采样周期为 10MHz，按  $RC=3\sim 5T$  选择滤波电路参数。触发电路控制示波器触发电平的高低，它由运放构成一比较器来实现。

### 4 FPGA 程序设计

FPGA 器件优点在于它的程序开发平台具有很强的仿真功能，程序开发周期缩短。在程序设计中，使用 VHDL 语言进行编程，可从系统的数学模型直至门级电路。程序设计中要注意采样频率的合理选择，设输入信号的频率范围为 DC~50kHz，由香农定理可知，无失真采样频率必须大于或等于最高采样频率（ $f_s \geq 2f_i$ ）。按水平分辨率为 20 点/div，显示 10div，每格显示一个周

期的输入信号, 则抽样频率为输入信号频率的 20 倍。考虑到极限情况是 10 格显示一个输入信号的周期, 则抽样频率为输入信号频率的 200 倍, 即  $f_s = 200f_i$ , 抽样频率应选为 10MHz。

图 5 为 FPGA 逻辑控制电路框图, 包括: 主控模块、扫描频率挡和电压挡的选择模块、左右移位计数模块、RAM 模块等。

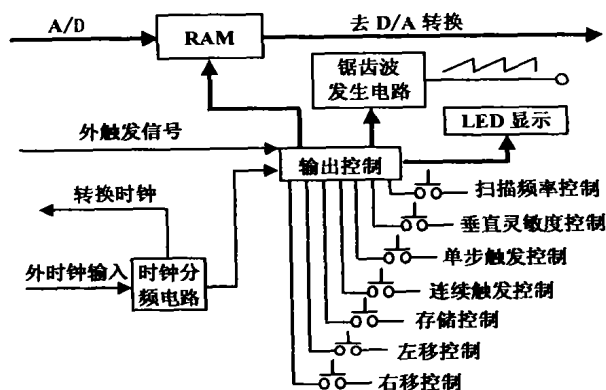


图 5 FPGA 逻辑控制电路

#### 4.1 主模块的设计

该模块包括去抖电路、主控电路和 RAM 地址产生电路。

dan = '1' 时, 可对 RAM 写操作, 即把当前波形存储到 RAM; lian = '1' 时, 不能对 RAM 写操作, 即重复输出 RAM 的数据。模块如图 6。

RAM 地址由一个 400 进制的自加计数器产

生, 设示波器要存储两屏, 每屏 200 个点, 要产生 400 个存储地址。由于地址是递加产生, 它可作为水平通道锯齿波形的发生器, 模块如图 7。

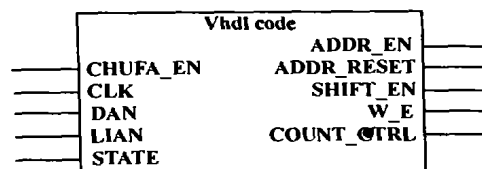


图 6 控制部份功能模块

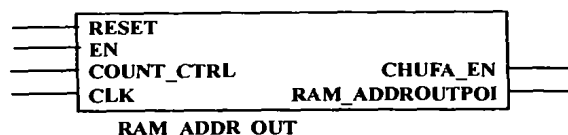


图 7 水平通道锯齿波形发生器模块

#### 4.2 扫描频率选择模块设计

该模块分为两个部分: 三挡扫描频率发生电路和扫描频率选择输出电路。

频率扫描电路对输入频率分频得到 100Hz、100kHz、1MHz 三个扫描频率。模块如图 8, 仿真如图 9。

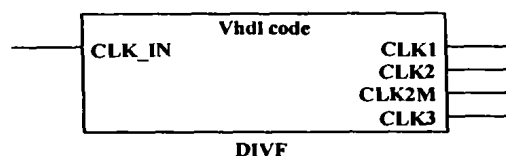


图 8 三挡扫描频率发生电路模块

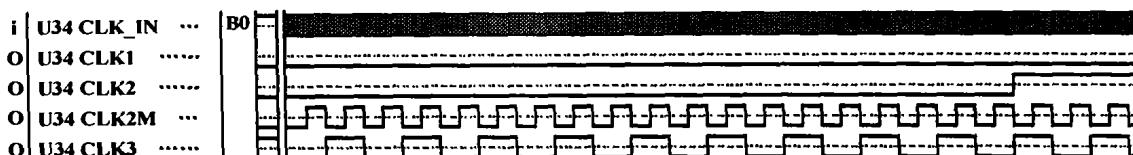


图 9 仿真图

扫描频率选择输出电路由状态机实现, 通过 SCANF 按键确定三个状态, 在每个状态输出一种对应扫描频率。模块如图 10 所示, 仿真如图 11 所示。

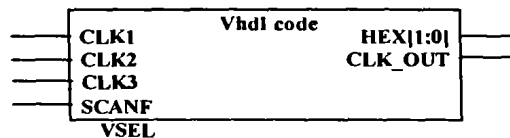


图 10 扫描频率选择输出电路模块

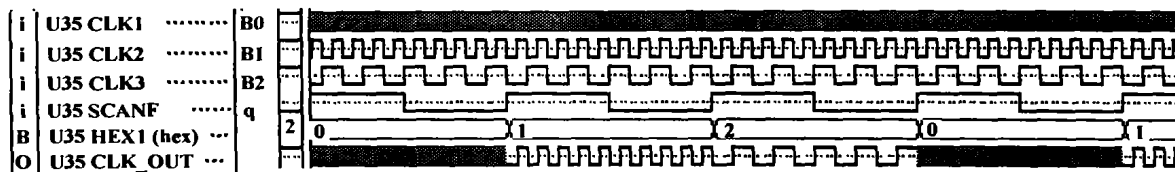


图 11 仿真图

#### 4.3 电压选择模块的设计

电压选择电路的设计与扫描频率选择方法相

同, 都是通过状态机设置三个状态, 每个状态确定一种电压。模块如图 12 所示。

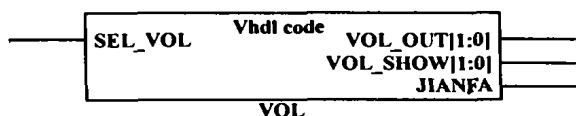


图 12 电压选择模块

#### 4.4 左右移位计数模块的设计

该模块完成存储波形的左右移动。因采集到的输入数据由高地址到低地址存入 RAM, 为显示以前的存储波形必须取出其采样值。设计左右移键, 每按一次 UP 键, 计数器加 1, 每按一次 DOWN 键, 计数器减 1, 然后把计数器的值与当前地址相加, 就得到左右移动时波形采样值对应的地址, 实现左右移动的功能。模块如图 13。

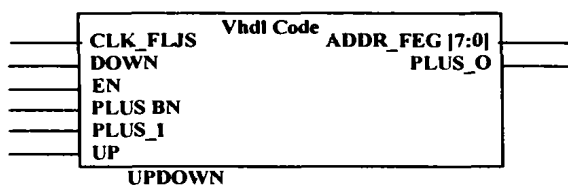


图 13 UP/DOWN 模块

#### 4.5 RAM 模块

该模块在 COR Egenerate 编辑器中生成, 这种编辑方法非常简单, 只需在相应的列表添入参数即可, 生成模块如图 14。

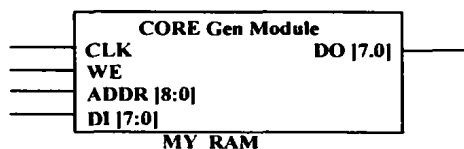


图 14 RAM 模块

### 5 性能测试

将设计的电路与普通示波器连接, 测得它的

性能指标。该装置实现了单次触发存储显示和连续触发存储显示方式(双踪)。仪器在满足触发条件时, 能对被测周期信号或单次非周期信号进行连续采集、存储并实时显示, 且具有锁存功能。按下“锁存”键即可存储当前波形。在三挡扫描速度 0.2s/div ( $f=1\text{Hz}$ )、0.2ms/div ( $f=1\text{kHz}$ )、20us/div ( $f=10\text{kHz}$ ), 仪器在 DC~50kHz 范围内误差 $\leq 5\%$ , 上限达 50kHz 波形也无明显失真。垂直灵敏度幅度误差 0.1V/div、1V/div 两挡 $\leq 7\%$ , 0.01V/div 挡 $\leq 10\%$ 。显示稳定性 0.2s/div ( $f=1\text{Hz}$ )、0.2ms/div ( $f=1\text{kHz}$ )、20us/div ( $f=10\text{kHz}$ ) 都在 5% 以内。其水平移动扩展显示的存储深度可扩大四倍多, 通过操作“移动”键可显示被存储信号波形的任一部分。另外, 所设计的波形发生器, 实现了锯齿波, 还可扩展实现正弦波、方波等各种波形。

### 6 结束语

数字存储示波器是测量瞬变信号的有效仪器设备, 但价格昂贵。本设计采用 FPGA 做主控芯片, 可方便地实现信号处理与存储功能, 而且易于用户重新编程定义、扩展功能。把该装置输出信号与普通示波器连接, 便使普通示波器具有了波形数字存储的功能, 构成一台简易数字存储示波器。

#### 参考文献:

- [1] 雷志勇, 江建尧. 数字存储示波器的随机采样原理[N]. 西安: 西安工业学院学报, 1997, (1): 51-52.
- [2] 孟宪元. 可编程专用集成电路原理、设计和应用[M]. 北京: 电子工业出版社, 1995. 87-121.

## 国产芯片与巨型机

华北电力设计院 曹来发

北京中星微公司研发出 16 位嵌入式数码影像专用芯片“星光 1 号”, 集声音和图像同体芯片“星光 2 号”, 人工智能视觉芯片“星光 3 号”, 手机彩信芯片“星光 4 号”。北京中芯微公司研发出适用于网络计算机的 32 位嵌入式 CPU, 主频为 166MHz 的“方舟 1 号”和主频为 400MHz 的“方舟 2 号”。2003 年 2 月 26 日上海交通大学研发出 16 位嵌入式数字信号处理器(DSP)芯片“汉芯 1 号”。它们能替代国外同类产品, 在信息家电、音频处理等领域得到广泛应用, 每年为国家挽回 100 亿人民币资金的流失。

继中国联想集团推出每秒 1.027 万亿次“深腾 1800”巨型机之后, 2003 年 3 月 14 日曙光集团又推出“曙光 4000L”巨型机, 该系统由 40 个机柜、644 个 CPU 组成, 644GB 内存, 百万亿字节存储, 峰值速度每秒 3 万亿次; 按设计能力, 该系统可扩至 80 个机柜, 1300 个 CPU 组成, 4000GB 内存, 600TB 存储的海量处理空间, 峰值速度达每秒 6.75 万亿次。今年底联想集团将推出每秒为 4 万亿次的巨型机。