

仪器研制与开发

基于 FPGA 的等效采样存储示波器设计

石明江 张禾 何道清

(西南石油大学电子信息工程学院 成都 610500)

摘要 提出了一种应用于便携式数字存储示波器等效采样的实现方案。详细讲述了 FPGA 和微处理器 LPC2138 对高频信号随机等效采样的处理过程,利用一种全新的方法即主要利用 FPGA 内部逻辑单元完成对触发时刻到与下一采样时刻的时间间隔的测量。给出了 FPGA 对采样点的处理方法和 LPC2138 数据的处理及波形还原的软件处理过程。实现一个模拟带宽为 1Hz~100MHz 的手持式数字存储示波器。

关键词 LPC2138;FPGA;等效采样;示波器

中图分类号 TH841

近年来,随着电子技术的飞速发展,便携式数字示波器以其较高的性价比和较好的扩展性以及较广的使用范围等特点被广泛应用。但是相比台式示波器,便携式示波器的模拟带宽很有限,对于高频信号检测存在一定的缺陷^[3]。为了解决这个缺陷,本设计采用等效采样的方法对周期或准周期的高频信号进行波形复现。对于输入频率范围较宽,一般的数字示波器系统都采用了等效采样和实时采样两种方式。实时采样通常是等时间间隔的对输入信号进行采样,它的最高采样频率是奈奎斯特极限频率;等效采样是指对周期或者准周期信号的多个信号周期连续采样来复现一个信号波形,采样系统能以扩展的方式复现频率大大超过奈奎斯特极限频率的信号波形。等效采样的实现是本设计的关键和创新点。

1 硬件总体设计

系统主要由高速数据采集模块 ADC、可编程逻辑器件 FPGA、微控制器和液晶显示模块等四部分组成。系统原理框图见图 1,高速数据采集模块采用了 ADC 为 Analog 公司的 AD9288,其转换速率为:1MSPS~100MSPS,但是其低端采样率会受到限制,可以采用控制 RAM 写入速度的方式来控制采样速率。在等效采样时采用 50M 的时钟对信号进行采样。微控制器采用处理速度很快嵌入式芯片 LPC2138,主要负责对采样数据以及显示数据的处理和对 FPGA 的控制。^[1]可编程逻辑芯片 FPGA 选用 Altera 公司的 EPIK30QC208-3,其内部有 3K 的 RAM,在本设计中采用其 0.5K 的储存空间存储采样数据。FPGA 主要对石英晶体进行计数产生数据存储地址,将高速 ADC 的采样数据以采样时钟的速率写入其内部 RAM。写满 256 个点后,产生允许触发信号,当触发信号有效

时再写入 256 个数据,而且 FPGA 还要对键盘进行扫描,把得到的键值传递给微控制器进行处理。微控制器把采样数据和显示数据进行处理,然后传递给 FPGA 供液晶显示模块显示。

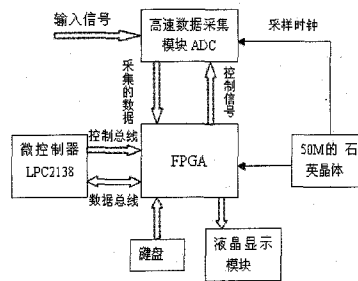


图1 便携式示波器的硬件构成图

2 等效采样的实现

等效采样分为顺序和随机等效采样两种方法。所谓顺序采样是按照一个固定的次序进行采集,每到来一个新的触发事件就采集一个点,经过若干个信号周期后就可以将被测信号的各个部分采样一遍,从而复现波形。^[7]这种采样方法没有预触发的信息。随机等效采样就可提供预触发和触发信息以及触发后的信息。在随机等效采样中,数据是随机采集到的。其原理是:在随机等效采样示波器中,每一组采样点是在随机的时刻采集的,而与触发事件无关。这些采样点之间的时间间隔为一已知的时间,由采样时钟来确定。当示波器在等待触发事件到来时,其内部就在连续的进行采集并将采集数据存储起来。当触发事件到时,我们测出触发事件到下一个采样点的时间,由于采样间隔时间是固定的,因此就可以从该测量时间推算出所有采样点相对触发的时间。经过多次的重复以上过程,就可以复现一个完整的随机采样的波形。

收稿日期:2008-07-03

基金资助:西南石油大学校级基金资助,基金号为 2007XJZ103。

作者简介:石明江(1980-),讲师,研究方向为数据域测试,毕业学校:电子科技大学。张禾(1973-),副教授,研究方向为智能检测技术。何道清(1947-),教授,研究方向为传感器与仪表自动化技术。

本系统创新点就是利用FPGA测出触发到下一个采样点的时间间隔。系统框图如图2,长延时和短延时模块与选择器模块在电路上构成一个自振荡环,详细电路如图3。选择器模块是一个二选一的开关,选择触发信号或者内部自振荡信号作为延时环节的输入。计数模块为一个20位的计数器,它对延时模块与选择器模块构成的振荡环的振荡频率进行计数。详细的原理及过程如下:

首先,测出一个延时单元的延时如图3。当OSC/DELAY=1,测量选择信号也为高电平时,由延时串、两个二选一的选择器和与非门组成的电路构成了一个自振荡电路。控制信号OSC_F1/F2是长延时和短延时选择信号,当OSC_F1/F2为高电平时,由长延时构成振荡环,当OSC_F1/F2为低电平时,由短延时构成振荡环。可见长延时和短延时的结构是相同的,只是长延时有24个延时单元,短延时有16个延时单元。在一定时间内对长延时构成的振荡环和短延时构成的振荡环的频率进行计数就可以测出每一个延时单元的延时。采用长延时和短延时的目的是为了消除延时单元以外的其他逻辑门电路的延时。对振荡频率进行计数的电路如图4,当系统进入等效采样时STAR=1打开计数器,该计数器是一个20位的对50M时钟进行计数的模块。当计数满时计数最高位产生一个跃变即图中Q19,D触发器以该信号为时钟对VCC采样产生一个完成信号FINISH。可见这个计数模块就是一个定时系统,其定时值为: $2^{20} \times 20\text{ns}$ 。在该定时时间段内,对振荡环的频率测量,在本系统中采用了3个74393逻辑门电路级联来构成一个24位的计数器对振荡频率进行计数。定时模块定时值到时,FINISH通过或门电路不允许振荡频率输入。微控制器通过CPU_RD3、CPU_RD4和CPU_RD5就可以从计数器74393的端口上读出计数值,通过计算就可以算出各个振荡环的振荡次数,假如长延时的振荡次数为C1和短延时的振荡次数为C2,所以一个延时单元的延时t:

$$t = \left(\frac{2^{20} \times 20}{C1} - \frac{2^{20} \times 20}{C2} \right) / 16 \text{ ns} = \frac{(C2 - C1) \times 2^{20} \times 20}{16C1C2} \text{ ns}$$

通过试验测得C1=20041,C2=30062,可计算得一个延时单元的延时为1.09ns,经过100次的测量,每一次的延时单元的延时偏差都不超过1%,因此等效的采样时钟就为917M,所以从理论上讲至少可以复现91.7M的信号。

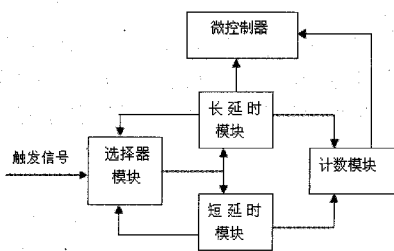


图2 等效采样系统框图

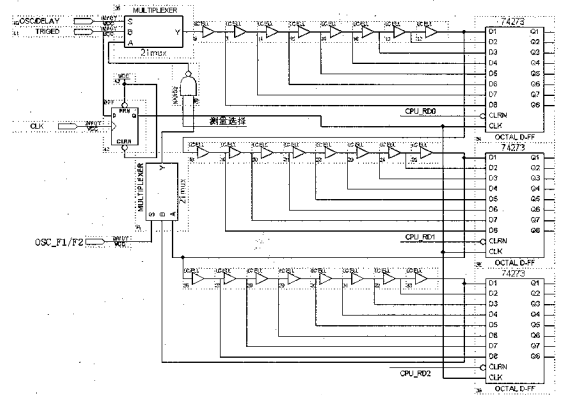


图3 主要硬件电路

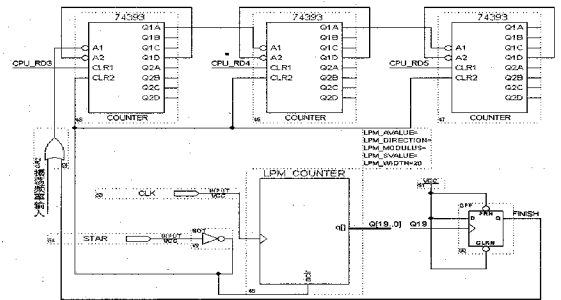


图4 计数模块详细电路图

其次,测量触发时间与下一个采样时钟的测量原理图如图3所示。在图3中,选择信号OSC/DELAY为低电平,因此选择触发信号TRIGED为延时环的输入。在该过程中OSC_F1/F2=0延时选择长延时,所以触发信号经过二选一的选择器进入长延时环中。此时,测量选择信号为低电平,从而不允许构成振荡环。CLK为和采样时钟同步的50M时钟,当触发信号有效时TRIGED=1,该信号通过以CLK为时钟的D触发器采样,从而D触发器输出一个跳变使74374把触发信号通过各延时单元后的状态锁存下来,微控制器LPC2138发出读信号CPU_RD0、CPU_RD1和CPU_RD2读出此时的状态,然后据此计算就可以得到触发信号经过几个延时单元后,下一个采样时钟才到来。设触发信号经过N个延时单元后下一个采样时钟才有效。所以触发信号和下一个采样时钟的时间间隔T为:

$$T = t \times N$$

t为已测的一个延时单元的延时。

通过时间T就可以推断出所有采样点和触发的时间间隔。当第一次采集的所有采样点存储完毕以后,就开始采集一组新的采样点并等待新的触发事件。新的触发事件到来以后,我们测出此时的触发信号和下一个采样时钟的时间间隔T,推算出新的采样点的位置。这些新的采样点落在上一次采集的采样点填充位置之间的未填充位置上或者和上一次采集的采样点填充位置重合。用这种方法,经过多次采集

以后,一个完整的波形就复现出来。

3 软件设计

总体的软件流程图如图5所示,通过用户对时基的选择,可以确定是等效采样还是实时采样。本系统采用时基在500ns为分界点。当时基大于500ns时,采用实时采样。当时基小于500ns时,用户选择时基在等效范围内,微处理器先计算出一个延时单元的延时值,然后向FPGA发出控制命令开始接收采样数据,FPGA利用50M的时钟产生RAM地址,把触发信号到来前采集到的数据存储到前256个字节中,当存满256个字节后产生允许触发信号,当触发信号和允许触发信号都有效时,测出触发与下一个采样时钟的时间间隔,而且FPGA把触发信号到来后的采样数据存入后256个字节中。当RAM存满以后读出所有采样数据,根据触发与下一采样点的时间间隔推算出所有点相对于触发时刻的时间间隔,经过多次的上述过程,微处理器就可以根据用户的需要复现波形。复现波形如下图6所示。

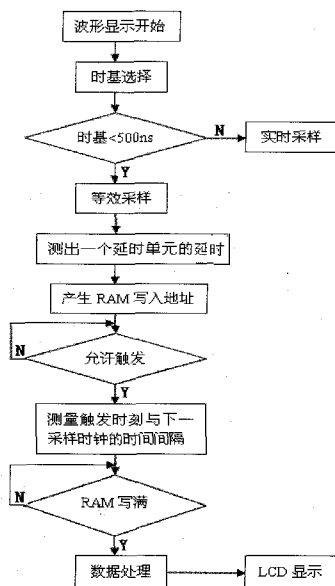


图5 软件流程图

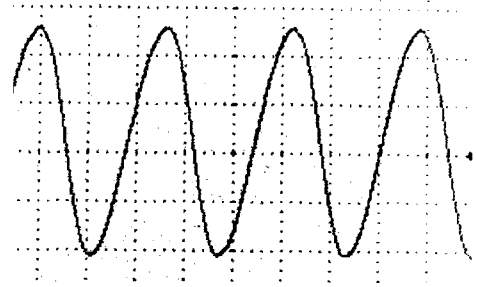


图6 对80M的正弦波的复现

4 结论

利用延时单元来测量出触发与下一个采样时钟的时间间隔的方法复现高频信号的方法是可行的,通过试验该系统可以很理想的测出1Hz~80MHz的信号。由于FPGA的延时单元的延时不是绝对的均匀,本系统对80M以上的信号复现不是很理想。

参考文献

- [1] 周立功. ARM与嵌入式系统基础教程[M]. 北京:北京航空航天大学出版社, 2005:123-248
- [2] 宋万杰, 罗丰, 吴顺君. CPLD技术及其应用[M]. 西安:西安电子科技大学出版社, 2001:19-83
- [3] 李毅, 师奕兵, 王厚军, 田书林. 数字存储示波器触发电路的数字化技术研究[J]. 仪器仪表学报, 2004(3):385-387
- [4] 赵茂泰. 智能仪器原理与应用:第二版[M]. 北京:电子工业出版社, 2004:45-78
- [5] 廖裕评, 陆瑞强. CPLD数字电路设计[M]. 北京:清华大学出版社, 2001:66-89
- [6] 康华光. 电子技术基础数字部分[M]. 北京:高等教育出版社, 2000:212-225
- [7] 刘国林. 电子测量[M]. 北京:机械工业出版社, 2003:103-152
- [8] 孙德文. 微型计算机技术[M]. 北京:高等教育出版社, 2001:21-56
- [9] 朱正伟. EDA技术及应用[M]. 北京:清华大学出版社, 2005:78-132
- [10] 路而红. 电子设计自动化应用技术[M]. 北京:希望电子出版社, 2000:45-71

Design of Equivalent Sample Storage Oscilloscope Based on FPGA

Shi Mingjiang, Zhang He, He Daoqing

(School of Electronic Information Engineering, Southwest Petroleum University, Chengdu, 610500, China)

Abstract This paper provided a new way that applies in the portable digital oscilloscope equivalent sampling. It narrated that FPGA and LPC2138 managed to high-frequency signal for stochastic equivalent sampling. The new technology used internal logic unit of FPGA to measure trigger at the moment and the next sampling interval. It provided the processing method of FPGA deals with the sampled point and the software process of waveform restoration and Data Processing by LPC2138. Finally a portable digital oscilloscope with 1Hz—100MHz analog bandwidth was realized.

Key words LPC2138; FPGA; equivalent sampling; Oscilloscope