

文章编号: 1009-8119 (2006) 04-0038-02

# 一种新型高速大容量非易失性数据采集系统

史子瑞 何佩琨

(北京理工大学电子工程系, 北京 100081)

**摘要** 提出了一种多通道非易失性高速实时大容量数据采集系统的解决方案。该方案采用并行SDRAM和FLASH作为存储介质, 利用DSP、FPGA技术, 实现了在每通道10MHz采样率下、4通道的实时采样, 并满足了系统数据非易失和循环存储的要求。

**关键词** 高速数据采集, FLASH, SDRAM

## A New High-rate Non-volatile Signal Sampling System

Shi zirui He peikun

(Dept. of Electronic Engineering, Beijing Institute of Technology, Beijing 100081)

**Abstract** Based on the application of DSP & FPGA technology, a new design is developed to meet the demanding requests: high rate, real time, non-volatile and loop storing. By analyzing the system characters, this paper provides the method of associate SDRAM and FLASH to solve the problem.

**Keywords** High-rate data collection, FLASH, SDRAM

### 1 系统对存储部分的要求

本文讨论的设计服务于某测量雷达系统。该雷达系统的工作过程如下: 在武器(多为导弹)实验时, 雷达进行实时目标检测, 待检测到目标后, 把目标通过目标段数据记录下来, 保存在雷达设备中。待实验结束后将目标过靶段数据传回计算机中, 进行目标轨迹拟合与分析。由于实验数据珍贵, 并且考虑到导弹有可能破坏雷达设备, 所以要求雷达设备存储的数据在掉电的情况下也能够保存, 即数据非易失。

在实验时, 为求准确, 在回波信号信噪比较高, 也就是近距离时才判定目标出现。但是, 如果从目标被检测到时开始存储数据, 则记录的目标轨迹信息不够完整。这样, 需记录轨迹包含轨迹a和轨迹b(图1), a段是检测到目标前的轨迹, b段为检测到目标之后的轨迹。得到轨迹a需要对雷达回波数据循环存储。循环存储就是在检测到目标前在存

储器中周而复始的存储回波数据, 当在某(假定为N)时刻检测到目标时, 紧挨着N时刻前面记录的数据就是轨迹a, 它和N时刻后记录的数据(轨迹b)一起组成完整的目标轨迹。如图1所示。

本存储系统服务的是一部高分辨雷达。该雷达系统要求保留更多的回波原始数据, 以在其后的岸上分析中得出更精确的结论, 实现高分辨。在本例中, 雷达回波不能进行积累, 数据率达到了128M BYTE/s。

总结上面对存储系统的要求如下: 非易失、循环、高速率(128M BYTE/s)、大容量(128M BYTE/s \* 2.5s = 320M BYTE)。当前的器件都难以独立实现, 本设计在经过对数据压缩后, 以SDRAM加并行FLASH的方法实现。

### 2 存储解决方案

对于这么大的容量和这么高的速率, 在目前技术条件下要用适当的存储介质实时存储是非常困难的。因此, 必须采用适当的数据压缩算法及与之相适应的技术方法来解决高速大容量数据实时存储问题。

#### 2.1 时间压缩算法

根据脉冲跟踪雷达回波的特点, 采集和存储的数据可以仅限于跟踪波门内的回波信号和跟踪波门的位置信息。设雷达重复频率周期为T, 跟踪波门的宽度为t, 则采用时间压缩算法后数据量可压缩  $T/t$  倍, 而存储速率的要求也下降为原来的  $1/t$ 。

采用这种压缩方法, 可以使检测到目标后的存储数据量下降为64M BYTE, 要求的存储速率降到25.6M BYTE/s。但检测到目标前因不能确定信号波门而不能使用此种方法, 故仍有64M BYTE的存储数据量和128M BYTE/s的存储速率。

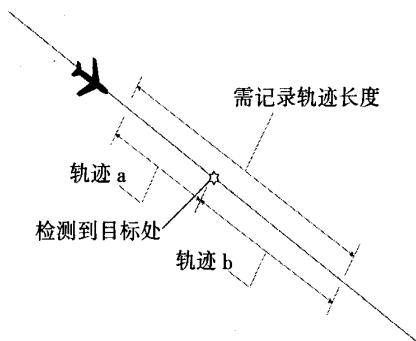


图1 测量雷达工作原理示意图

2.2 存储介质介绍

在当前条件下，容量可以满足要求的芯片有SDRAM和FLASH。FLASH芯片可以满足非易失性的要求，目前可以购买到的FLASH芯片单片容量可以达到256MB。FLASH的操作周期一般为100ns，向FLASH写入一个数据需要4个操作周期，故单片的写入速度为4MB/s。经过搜索，发现AMD公司的AM29系列芯片在其特定（UNLOCK BYPASS）的模式下，两个操作周期可以完成一次写操作，这样可以使写入速度提高一倍，达到8MB/s。4片并行即可满足对检测到目标后数据的存储。

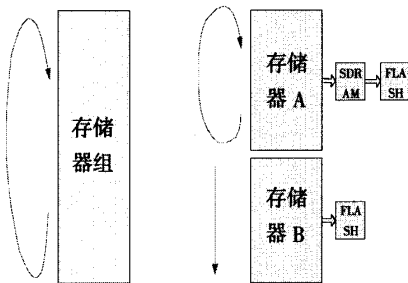
FLASH由于自身的特点，在重新写入数据前需要先擦除原来写入的数据。这个擦除过程（整片擦除）需要几个毫秒，在这几个毫秒中，FLASH不能进行任何其它操作。所以，FLASH不可用于循环存储。

当前，SDRAM的容量可以达到256MB，写入速度可以达到100MB/s以上，可以重复写入而不需先擦除。但是，DRAM是易失性存储器，掉电后数据丢失，不满足非易失性要求。

而其它的存储介质，则都不能满足容量上的要求。

2.3 存储方案确定

综合考虑整体要求和系统特点，提出了如下的折中方案：将存储器分成两部分，存储器A和存储器B。存储器A存过靶前的数据（轨迹a），此时尚未检测到目标，该部分需要循环存储；存储器B存过靶后的数据（轨迹b），此时目标已经检测到，该部分不需要循环存储。如图2所示。



原循环存储方案 改进后循环存储方案

图2 循环存储方案

对于存储器A，数据率有100MB/s多，且需要循环存储，故可以选用SDRAM，外加掉电数据保护FLASH芯片实现。系统开始工作后一直到检测到目标前，都用SDRAM作存储器，循环存储回波数据。当检测到目标后，新进入的数据改向存储器B中存储，存储器A不再接收新的数据。我们可以利用从检测到目标到实验结束这段时间，把存在SDRAM中的数据转存到为SDRAM准备的FLASH中。这样，保证了数据的非易失性。

对于存储器B，因为已经检测到了目标，因此不再需要循环存储；数据率也因为数据可以进行压缩而大为降低，故可以选用FLASH作存储介质实现。

对在存储器A和存储器B中用到的FLASH，其单片的写入速率都不能满足系统的需要，都需要多片并行来实现。

最后，还需要一个控制单元来使存储部分按照设计的方案工作。因为没有现成芯片可用，且速度要求很高，故

采用了FPGA实现。

3 系统框图

系统框图介绍如下：雷达系统多路天线的回波信号经

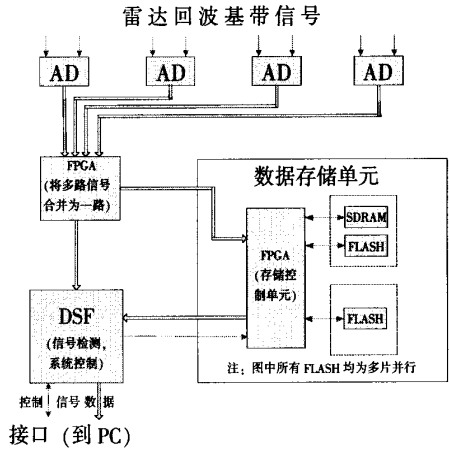


图3 系统结构图

过解调后，将基带信号送入本系统。进入本系统的基带信号先经过AD采样，变为数字信号后送到一块FPGA芯片，将多路天线的信号合并为一输出。输出的数据为原始数据，这些数据被送到DSP检测的同时送到存储单元存储。DSP根据对信号检测的结果来决定系统进行何种操作，并发命令给存储控制单元，使之处于正确的存储状态。

系统工作流程如下：上电后，监测和存储即同时开始执行。在DSP控制下，存储单元将接收到的数据向存储器组A的SDRAM中循环存储，直到检测到目标。发现目标后，DSP立刻控制存储单元改向存储器组B中存储，并实时发送当前应存储的数据波门号给存储单元，一并存入存储器组B中。与此同时，存储器组A在存储单元的FPGA控制下，开始由SDRAM到FLASH的转存。设计时存储器组A用了多片FLASH并行，以使其可以先于B组完成工作。当B组的数据记录完成后，所有的数据都存放在非易失性的FLASH中，实验结束。之后，实验人员连接PC到雷达设备，将实验数据导出，进行后继处理。

4 结论

本文提出时间压缩算法和存储器组合并方法，并由此实现了对雷达回波信号的高速实时采集和存储系统。对于其它应用，此方法仍有借鉴作用。进一步的研究可对本文中存储器A的方法再做改进。

参考文献

- 汪立森，朱根才. 双通道高速实时大容量数据采集存储系统. 南京航空航天大学学报, 1997; 4: 2-29
- 庞晓晖等. 高速数据采集及存储技术研究. 华中理工大学学报, 1999; 3
- 赵乐军，南晓霞，沈耀忠. 目标数据存储控制单元的FPGA设计. 现代雷达, 1996; (12)
- 樊秀云，欧洪武，杨文革. 超高速数据采集系统设计与实现. 装备指挥技术学院学报, 2002; 8

# 一种新型高速大容量非易失性数据采集系统

作者: [史子瑞](#), [何佩琨](#), [Shi zirui](#), [He peikun](#)  
作者单位: [北京理工大学电子工程系, 北京, 100081](#)  
刊名: [军民两用技术与产品](#)  
英文刊名: [TOP TECHNOLOGIES & PRODUCTS](#)  
年, 卷(期): 2006 (4)  
被引用次数: 1次

## 参考文献(4条)

1. [樊秀云](#); [欧洪武](#); [杨文革](#) [超高速数据采集系统设计与实现](#) [期刊论文]-[装备指挥技术学院学报](#) 2002 (08)
2. [赵乐军](#); [南晓霞](#); [沈耀忠](#) [目标数据存储控制单元的FPGA设计](#) 1996 (12)
3. [庞晓晖](#) [高速数据采集及存储技术研究](#) [期刊论文]-[华中理工大学学报](#) 1999 (03)
4. [汪立森](#); [朱根才](#) [双通道高速实时大容量数据采集存储系统](#) 1997 (04)

## 引证文献(1条)

1. [宋博](#), [闫达远](#), [张栋](#) [基于 NAND Flash 的嵌入式文件系统设计](#) [期刊论文]-[测试技术学报](#) 2007 (4)

本文链接: [http://d.g.wanfangdata.com.cn/Periodical\\_jmlyjsycp200604015.aspx](http://d.g.wanfangdata.com.cn/Periodical_jmlyjsycp200604015.aspx)